

SUPERSCALAR MICROPROCESSOR

Publication number: JP7182160 (A)

Publication date: 1995-07-21

Inventor(s): DEIBITSUDO BII UITSUTO; UIRIAMU EMU JIYONSON +

Applicant(s): ADVANCED MICRO DEVICES INC +

Classification:

- International: G06F9/30; G06F9/302; G06F9/32; G06F9/38; G06F9/30; G06F9/302; G06F9/32; G06F9/38; (IPC1-7): G06F9/38; G06F9/38

- European: G06F9/302; G06F9/30F; G06F9/30T2; G06F9/32C; G06F9/38E; G06F9/38E2; G06F9/38F; G06F9/38F2B; G06F9/38S5; G06F9/38T

Also published as:

JP3670039 (B2)

US5651125 (A)

US5574928 (A)

EP0651321 (A1)

EP0651321 (B1)

more >>

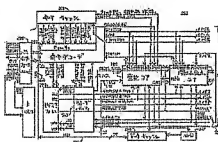
Application number: JP19940263317 19941027

Priority number(s): US19930146382 19931029

Abstract of JP 7182160 (A)

PURPOSE: To process instructions in parallel by providing a common register file for receiving an already used instruction result from a common reorder buffer used by both an integer functioning unit and a floating point functioning unit.

CONSTITUTION: Relating to the architecture of a microprocessor 200, an integer functioning unit 215 and a floating point functioning unit 225 include plural waiting stations 220 and 230, and they are connected with a common data processing bus 535. Then, the integer functioning unit 215 and the floating point functioning unit 225 commonly use a reorder buffer 240. An already used instruction result is received by a common register file 235 from the reorder buffer 240. Thus, the input of orderly instructions and the execution of the disorderly instructions are processed in parallel.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-182160

(43) 公開日 平成7年(1995)7月21日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/38	3 1 0 F			
	3 5 0 A			

審査請求 未請求 請求項の数27 O L (全 46 頁)

(21) 出願番号 特願平6-263317

(22) 出願日 平成6年(1994)10月27日

(31) 優先権主張番号 1 4 6 8 8 2

(32) 優先日 1993年10月29日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591018172

アドバンスド・マイクロ・デバイス・
インコーポレイテッド
ADVANCED MICRO DEVI
CES INCORPORATED
アメリカ合衆国、94088-3453 カリフォ
ルニア州、サンニベイ、ビー・オー・ボ
ックス・3453、ワン・エイ・エム・ディ・
プレイス (番地なし)

(74) 代理人 弁理士 深見 久郎 (外3名)

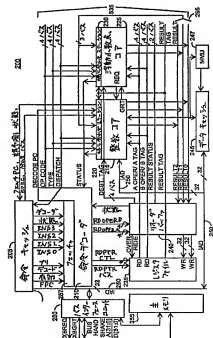
最終頁に続く

(54) 【発明の名称】 スーパースカラマイクロプロセッサ

(57) 【要約】

【目的】 高性能のスーパースカラマイクロプロセッサを提供する。

【構成】 上記マイクロプロセッサ200は、高性能主データ処理バスを共有する整数機能ユニットと浮動小数点機能ユニットを含む。整数ユニットと浮動小数点ユニットは、共通リオーダーバッファ、レジスタファイル、分岐予測ユニットおよびロード/ストアユニットも共有し、これらはすべて同じ主データ処理バスにある。命令およびデータキャッシュが主メモリに、この間の通信を扱う内部データアドレスバスを介して結合される。命令デコーダが命令キャッシュに結合され、1マイクロプロセッササイクルにつき複数の命令をデコードすることができる。命令は推論順にデコーダから発行され、投入および完了は順序通りでない。命令はリオーダーバッファからレジスタファイルに順序通りに格納される。機能ユニットは複数のデータ幅を示すオペランドを取容する。



【特許請求の範囲】

【請求項1】 スーパースカラマイクロプロセッサであって、

同じマイクロプロセッササイクル中に複数の命令をデコードするための複数命令デコーダを含み、前記デコーダは同じマイクロプロセッササイクル内に整数および浮動小数点命令の両方をデコードし、さらに前記デコーダに結合されるデータ処理バスと、

前記データ処理バスに結合される整数機能ユニットと、前記データ処理バスに結合される浮動小数点機能ユニットと、

前記データ処理バスに結合されて、前記整数機能ユニットおよび前記浮動小数点機能ユニットの両方によって用いられる共通リオーダーバッファと、

前記リオーダーバッファに結合されて、前記リオーダーバッファから用済とされた命令結果を受入れる共通レジスタファイルとを含む、スーパースカラマイクロプロセッサ。

【請求項2】 前記整数機能ユニットが少なくとも1つの待合わせステーションを含む、請求項1に記載のマイクロプロセッサ。

【請求項3】 前記整数機能ユニットが2つの待合わせステーションを含む、請求項1に記載のマイクロプロセッサ。

【請求項4】 前記浮動小数点機能ユニットが少なくとも1つの待合わせステーションを含む、請求項1に記載のマイクロプロセッサ。

【請求項5】 前記浮動小数点機能ユニットが2つの待合わせステーションを含む、請求項1に記載のマイクロプロセッサ。

【請求項6】 前記データ処理バスが、

複数のオペランドバスと、

複数のオペランドバスと、

複数の命令タイプバスと、

複数の結果バスと、

複数の結果タグバスとを含む、請求項1に記載のマイクロプロセッサ。

【請求項7】 前記オペランドバスがオペランドタグバスを含む、請求項6に記載のマイクロプロセッサ。

【請求項8】 前記データ処理バスが予め定められたデータ幅を示し、前記リオーダーバッファが、前記データ処理バス幅に等しい幅を示すエントリと、前記データ処理バスのデータ幅の倍数に等しい幅を示すエントリとをストアするメモリ手段を含む、請求項1に記載のマイクロプロセッサ。

【請求項9】 前記デコーダが、プログラム順に整数および浮動小数点命令の両方を発行するための発行手段をさらに含む、請求項1に記載のマイクロプロセッサ。

【請求項10】 前記データ処理バスに結合されて、前記整数機能ユニットと前記浮動小数点機能ユニットによ

って共有される分岐予測機能ユニットをさらに含む、請求項1に記載のマイクロプロセッサ。

【請求項11】 前記浮動小数点機能ユニットが、複数のサイズを示すオペランドを処理する、請求項1に記載のマイクロプロセッサ。

【請求項12】 前記浮動小数点機能ユニットが、単精度/倍精度浮動小数点機能ユニットを含む、請求項1に記載のマイクロプロセッサ。

【請求項13】 前記複数命令デコーダが、1マイクロプロセッササイクルにつき4つの命令をデコードすることができる、請求項1に記載のマイクロプロセッサ。

【請求項14】 前記マイクロプロセッサを、命令およびデータがストアされる外部メモリにインタフェースさせるためのバスインタフェースユニットと、前記バスインタフェースユニットに結合される内部アドレスデータ通信バスと、

前記データ処理バスに結合されて、そこからロードおよびストア命令を受取るためのロード/ストア機能ユニットとを含み、前記ロード/ストア機能ユニットは、前記内部アドレスデータ通信バスに結合されて、前記外部メモリに前記ロード/ストア機能ユニットアクセスを与え、さらに前記内部アドレスデータ通信バスおよび前記デコーダに結合されて、前記デコーダに命令源を与える命令キャッシュと、

前記内部アドレスデータ通信バスおよび前記ロード/ストア機能ユニットに結合されるデータキャッシュとをさらに含み、

前記内部アドレスデータ通信バスは、アドレスおよびデータ情報を前記外部メモリ、前記命令キャッシュおよび前記データキャッシュ間で通信する、請求項1に記載のマイクロプロセッサ。

【請求項15】 命令およびデータを前記マイクロプロセッサに与えるための外部メモリと組合わされる、請求項1に記載のマイクロプロセッサ。

【請求項16】 前記複数のオペランドバスが、オペランドおよびオペランドタグの両方がそれに伝達されるバスである、請求項6に記載のマイクロプロセッサ。

【請求項17】 スーパースカラマイクロプロセッサであって、

同じマイクロプロセッササイクル内に複数の命令をデコードするための複数命令デコーダを含み、前記デコーダは、同じマイクロプロセッササイクル内に整数および浮動小数点命令の両方をデコードし、さらに前記デコーダに結合されるデータ処理バスと、

前記データ処理バスに結合される整数機能ユニットとを含み、前記整数機能ユニットは、前記マイクロプロセッサによる順序通りでない命令の実行を可能にするための複数の待合わせステーションを含み、さらに前記データ処理バスに結合される浮動小数点機能ユニットを含み、前記浮動小数点機能ユニットは、前記マイクロプロセッサ

サによる順序通りでない命令の実行を可能にするための複数の待合せステーションを含み、さらに前記データ処理バスに結合されて、前記整数機能ユニットおよび前記浮動小数点機能ユニットの両方によって、そこから命令結果を受けて命令を推論的かつ順序通りではなく処理することを可能にするために用いられる共通リオーダーバッファと、

前記リオーダーバッファに結合されて、前記リオーダーバッファから用済とされた命令結果を受入れるためのレジスタファイルと、

前記データ処理バスに結合されて、前記整数機能ユニットおよび浮動小数点機能ユニットの両方によって、コンピュータプログラム内のどの分岐が発生されるかを推論的に予測するために用いられる分岐予測ユニットと、前記データ処理バスに結合されて、前記整数機能ユニットおよび前記浮動小数点機能ユニットの両方によって、情報のロードおよびストアを可能にするために用いられるロード/ストア機能ユニットを含む、スーパースカラマイクロプロセッサ。

【請求項18】 前記データ処理バスが、

複数のオペコードバスと、

複数のオペランドバスと、

複数の命令タイプバスと、

複数の結果バスと、

複数の結果タグバスを含む、請求項17に記載のマイクロプロセッサ。

【請求項19】 前記オペランドバスがオペランドタグバスを含む、請求項17に記載のマイクロプロセッサ。

【請求項20】 前記データ処理バスが予め定められたデータ幅を示し、前記リオーダーバッファが、前記データ処理バスに等しい幅を示すエントリと、前記データ処理バスのデータ幅の倍率に等しい幅を示すエントリとをストアするためのメモリ手段を含む、請求項17に記載のマイクロプロセッサ。

【請求項21】 前記デコーダが、プログラム順に整数および浮動小数点命令の両方を発行するための発行手段をさらに含む、請求項17に記載のマイクロプロセッサ。

【請求項22】 前記浮動小数点機能ユニットが、複数のサイズを示すオペランドを処理する、請求項17に記載のマイクロプロセッサ。

【請求項23】 前記浮動小数点機能ユニットが、単精度/倍精度浮動小数点機能ユニットを含む、請求項17に記載のマイクロプロセッサ。

【請求項24】 前記複数命令デコーダが、1マイクロプロセッササイクルにつき4つの命令をデコードすることができる、請求項17に記載のマイクロプロセッサ。

【請求項25】 前記マイクロプロセッサを、命令およびデータがストアされる外部メモリにインタフェースさせるためのバスインタフェースユニットと、

前記バスインタフェースユニットに結合される内部アドレスデータ通信バスと、

前記内部アドレスデータ通信バスおよび前記デコーダに結合されて、前記デコーダに命令源を供給する命令キャッシュと、

前記内部アドレスデータ通信バスおよび前記ロード/ストア機能ユニットに結合されるデータキャッシュとをさらに含む、

前記内部アドレスデータ通信バスは、前記外部メモリ、前記命令キャッシュおよび前記データキャッシュ間でアドレスおよびデータ情報を通信する、請求項17に記載のマイクロプロセッサ。

【請求項26】 前記マイクロプロセッサに命令およびデータを与えるための外部メモリと組合せられる、請求項17に記載のマイクロプロセッサ。

【請求項27】 前記複数のオペランドバスが、オペランドおよびオペランドタグの両方がそれに伝達されるバスである、請求項18に記載のマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【発明の背景】この発明は一般にマイクロプロセッサに関し、より特定には高性能スーパーバスカラマイクロプロセッサに関する。

【0002】他の多くの近代技術分野と同様に、マイクロプロセッサの設計も、技術者および科学者が常に速度、効率および性能を高めようとする技術である。一般的に言えば、マイクロプロセッサは2つのクラス、すなわちスカラーおよびベクトルプロセッサに分けることができる。最も初期のスカラープロセッサは、1マシンサイクルにつき最大で1の命令を処理する。いわゆる「スーパーバスカラ」プロセッサで、1マシンサイクルにつき処理できる命令は、1を上回る。スカラープロセッサと対照的に、ベクトルプロセッサは各マシンサイクル中に比較的大きな値のアレイを処理できる。

【0003】ベクトルプロセッサは処理効率を追求するのにデータ並列性に頼り、一方スーパーバスカラプロセッサは動作の効率を高めるのに命令並列性に頼る。命令並列性は、命令を並列に処理することを可能にするこのような命令シーケンスの固有の特性と考えることができる。対照的に、データ並列性はその要素を並列に処理することを可能にするデータの流れの固有の特性と見ることができ、命令並列性は、命令の特定のシーケンスが示す従属性の数に関連する。従属性とは、ある特定の命令が別の命令の結果に依存する程度と定義される。スカラープロセッサでは、ある命令が別の命令に対する従属性を示すと、一般に、その命令が実行のために機能ユニットに渡される前にその従属性を解決しなくてはならない。この理由のため、従来のスカラープロセッサは、プロセッサがこのような従属性の未処理の解決を待つ間の望ましくない時間遅延がある。

【0004】ここ数年、プロセッサおよびマイクロプロセッサによる命令の実行を高速化するためにいくつかのアプローチがとられてきた。現在でもマイクロプロセッサで広く用いられているアプローチの1つは、パイプライン化である。パイプライン処理では、1) 命令のフェッチ、2) 命令のデコードおよびオペランドの収集、ならびに3) 命令の実行および結果のライトバックの3つのマイクロプロセッサの動作が処理を速くするために重ねられる、組立ラインのアプローチがとられる。言い換えれば、それぞれのマシナサイクルにおいて命令1がフェッチされ、命令1がデコードされる。命令1がデコードされ、そのオペランドが集められている間、命令2がフェッチされる。命令1が実行され、その結果が書込まれる間、命令2はデコードされ、そのオペランドが集められ、命令3がフェッチされる。実用において、組立ラインのアプローチは、上述したよりも多くの組立ラインステーションに分けられることがある。パイプライン技術のより詳細な議論は、ディー・グブリュー・アンダーソン (D. W. Anderson) らによる、1967年1月、IBMジャーナル第11巻の8-24頁、「IBMシステム/360モデル91: マシナフィロソフィ」(“The IBM System/360 Model 91: Machine Philosophy”)に記載される。

【0005】以下の定義は、本明細書中、明確を期するために述べるものである。「発行」とは、命令を命令デコードから機能ユニットに送る動作のことである。「投入」とは、命令を機能ユニット内での実行の状態に置く動作である。「完了」とは、命令が実行を終えて、その結果が利用可能であるときに達成されるものである。命令の結果がレジスタファイルに書込まれるとき、命令は「用尽」されると言う。これはまた、「ライトバック」とも称する。

【0006】ウィリアム・ジョンソン (William Johnson) による最近の著書「スーパースカラマイクロプロセッサ設計」(“Superscalar Microprocessor Design”, 1991年、プレントイス・ホール社 (Prentice-Hall, Inc.)) では、実用的なスーパースカラマイクロプロセッサの設計に関していくつかの一般的な考察が述べられている。図1は、このジョンソンの著書で説明されているスーパースカラマイクロプロセッサの実現例を示すマイクロプロセッサ10のブロック図である。マイクロプロセッサ10は、整数演算を処理するための整数ユニット15と、浮動小数点演算を処理するための浮動小数点ユニット20とを含む。整数ユニット15および浮動小数点ユニットの各々は、それぞれ別個で専用の命令デコードと、レジスタファイルと、リオーダーバッファと、ロードおよびストアユニットとを含む。より特定には、整数ユニット15は、命令デコード25と、レジスタファイル30と、リオーダーバッファ35と、ロードおよびストアユニット(60および65)とを含む、一方浮動小

数点ユニット20は、固有の命令デコード40と、レジスタファイル45と、リオーダーバッファ50と、ロードおよびストアユニット(75および80)とを含む、図1に示されるとおりである。リオーダーバッファはマイクロプロセッサの推論状態を含み、一方レジスタファイルはマイクロプロセッサのアーキテクチャの状態を含む。

【0007】マイクロプロセッサ10はメインメモリ5に結合され、これは2つの部分、すなわち命令をストアするための命令メモリ55Aとデータをストアするためのデータメモリ55Bとを含むものとして考えることができる。命令メモリ55Aは、整数ユニット15と浮動小数点ユニット20との両方に結合される。同様に、データメモリ55Bも、整数ユニット15および浮動小数点ユニット20の両方に結合される。より詳細には、命令メモリ55Aはデコード25およびデコード40に命令キャッシュ58を介して結合される。データメモリ55Bは、データキャッシュ70を介して整数ユニット15のロード機能ユニット60とストア機能ユニット65に結合される。データメモリ55Bはまた、データキャッシュ70を介して浮動小数点ユニット20の浮動小数点ロード機能ユニット75と浮動小数点ストア機能ユニット80とに結合される。ロードユニット60は、データメモリ55Bから選択されたデータを整数ユニット15へとロードする従来のマイクロプロセッサの機能を実行し、一方ストアユニット70は、整数ユニット15からのデータをデータメモリ55Bにストアする従来のマイクロプロセッサの機能を実行する。

【0008】コンピュータプログラムは、マイクロプロセッサ10によって実行されるべき命令のシーケンスを含む。コンピュータプログラムは、典型的には、ハードディスク、フロッピーディスクまたはコンピュータシステム内に位置される他の不揮発性記憶媒体にストアされる。プログラムが実行されるとき、プログラムは記憶媒体からメインメモリ55にロードされる。プログラムの命令および関連のデータが一旦メインメモリ55内に入れば、個々の命令を実行するために準備し、最終的にはマイクロプロセッサ10によって実行することができる。

【0009】メインメモリ55内にストアされた後、命令は、命令キャッシュ58を介して命令デコード25へと渡される。命令デコード25は各命令を調べ、取るべき適切な動作を決定する。たとえば、デコード25は、特定の命令が、PUSH、POP、LOAD、AND、OR、EX OR、ADD、SUB、NOP、JUMP、条件付JUMP (BRANCH) または他のタイプの命令であるかを決定する。デコード58が決定した特定のタイプの命令が存在するかに依存して、命令は適切な機能ユニットに発行される。ジョンソンの著書で提案されているスーパースカラアーキテクチャでは、デコード25は1マシナサイクルにつき4つの命令をデコードすることのできるマルチ命令デコードである。したがっ

て、デコーダ58は4命令幅のバンド幅を示すと言える。

【0010】図1に示されるように、OP CODEバス85は、デコーダ25と機能ユニットの各々、すなわち分岐ユニット90、算術論理装置95および100、シフトユニット105、ロードユニット60およびストアユニット65との間に結合される。この態様で、各命令のためのオペコードは適切な機能ユニットに与えられる。

【0011】ここでしばらく直接的な説明からは離れるが、命令は、典型的には以下のフォーマットで、すなわちオペコード、オペランドA、オペランドB、行先レジスタという複数のフィールドを含むことが認められる。たとえば、サンプル命令ADD A、B、Cとは、レジスタAの内容をレジスタBの内容に加算し、その結果を行先レジスタCに置くことを意味するであろう。各命令のオペコード部分の処理は、既に上述したとおりである。ここで各命令のオペランドの処理を説明する。

【0012】特定の命令のためのオペコードが適切な機能ユニットに送られなくてはならないだけでなく、その命令のための指定されたオペランドが探索されて、機能ユニットに送られなくてはならない。特定のオペランドの値がまだ計算されていないければ、機能ユニットが命令を実行できる前に、その値をまず計算して、機能ユニットに与えられなくてはならない。たとえば、現在の命令が先行の命令に従属していれば、現在の命令が実行される前に先行の命令の結果を決定しなくてはならない。この状況を従属性と称する。

【0013】特定の命令を機能ユニットが実行するのに必要とされるオペランドは、レジスタファイル30またはリオーダーバッファ35のいずれかによってオペランドバス110に与えられる。オペランドバス110は、機能ユニットの各々に結合される。したがって、オペランドバス110はオペランドを適切な機能ユニットに送る。実用において、オペランドバス110はオペランドAおよびオペランドBのための別個のバスを含む。

【0014】機能ユニットにオペコードならびにオペランドAおよびオペランドBが与えられれば、機能ユニットは命令を実行し、その結果を、すべての機能ユニットの出力とリオーダーバッファ35とに（および、後述のように各機能ユニットの入力にあるそれぞれの待合ステーションに）結合される結果バス115に置く。

【0015】各機能ユニットの入力には、その命令のためのオペランドが機能ユニットに対してまだ利用可能でないという意味でまだ完全でない命令からのオペコードをストアするための「待合ステーション」が設けられる。待合ステーションは、後に待合ステーションに到達する、放けているオペランドのための場所を確保するオペランドタグとともに命令のオペコードをストアする。この技術は、未処理の命令が待合ステーション

ションでそのオペランドとともに集められている間、マイクロプロセッサが他の命令を実行し続けることを可能にすることによって性能を高める。図1に示されるように、分岐ユニット90には待合ステーション90Rが設けられ、ALU95および100には待合ステーション95Rおよび100Rがそれぞれ設けられ、シフトユニット105には待合ステーション105Rが設けられ、ロードユニット60には待合ステーション60Rが設けられ、ストアユニット65には待合ステーション65Rが設けられる。このアプローチでは、待合ステーションが、より初期のマイクロプロセッサにおいて機能ユニットの入力で典型的には使用されていた入力ラッチの代わりに使用される。待合ステーションに関してのよく知られた参考文献は、1967年1月、IBMジャーナル、第11号、25-33頁、アール・エム・トマシュロ(R. M. Tomasulo)の「複数の算術装置を用いる効率的なアルゴリズム」("An Efficient Algorithm For Exploiting Multiple Arithmetic Units")である。

【0016】先に述べたように、スカラマイクロプロセッサでの効果的なスループットを1マシンサイクルにつき1つの命令という限界まで増大するのにパイプラインを用いることができる。図1に示されるスーパースカラマイクロプロセッサでは、1マシンサイクルにつき複数の命令の処理を達成するために複数のパイプラインが用いられる。この技術は、「スーパーパイプライン化」と称する。

【0017】「レジスタ再指定」と称する別の技術もまた、スーパースカラマイクロプロセッサのスループットを高めるために用いることができる。この技術は、命令ストリームにおける2つの命令のどちらも同じレジスタ、たとえば仮設レジスタ1を使用することを要求する場合に有用である。第2の命令が第1の命令に従属していなければ、レジスタ1Aと呼ぶ第2のレジスタが、レジスタ1の代わりに第2の命令によって使用されるように割当てられる。この態様で、レジスタ1を用いて第1の命令が終了するのを待つことなく、第2の命令を実行することができ、結果を得ることができる。図1に示されるスーパースカラマイクロプロセッサ10は、命令処理能力を高めるのにレジスタ再指定のアプローチを用いる。マイクロプロセッサ10においてレジスタ再指定を実現する態様を以下により詳細に説明する。

【0018】上述のことから、レジスタ再指定がレジスタに対するストアの競合をなくすことが認められる。レジスタ再指定を実現するために、整数ユニット15および浮動小数点ユニット20は、それぞれのリオーダーバッファ35および50と関連付けられる。簡略にするために、整数ユニット15内のリオーダーバッファ35を介してのレジスタ再指定のみを議論するが、同じ議論が浮動小数点ユニット20内の同様の回路にも当てはまる。

【0019】リオーダーバッファ35は、命令結果にダイナミックに割当てられるいくつかのストア位置を含む。より特定的には、デコーダ25によって命令がデコードされると、その命令の結果値にリオーダーバッファ35内の位置が割当てられ、その先行レジスタ番号がこの位置に関連付けられる。これが命令の先行レジスタ番号をリオーダーバッファ位置に効果的に再指定する。タグ、または一時ハードウェア識別子が、結果を識別するためにマイクロプロセッサハードウェアによって発生される。このタグもまた、割当てられたリオーダーバッファ位置にストアされる。レジスタにストアされていると考えられる値を得るために、命令ストリームにおける後の命令が再指定された先行レジスタを参照するとき、命令はその代わりにリオーダーバッファにストアされた値、または値がまだ計算されていないければその値に関するタグを得る。

【0020】リオーダーバッファ35は、内容参照メモリである、先入れ先出し(FIFO)環状バッファとして実現される。このことは、リオーダーバッファ35内のエントリが、エントリを直接識別することによってではなく、エントリが含むものを特定することによって識別されることを意味する。より特定的には、エントリは、それに書込まれたレジスタ番号を用いて識別される。レジスタ番号がリオーダーバッファ35に与えられると、リオーダーバッファはレジスタに書込まれた最新の値(または値がまだ計算されていないければその値に関するタグ)を与える。このタグは、リオーダーバッファ35内の特定の命令の相対的な推論位置を含む。この構成は、レジスタ番号を与えられるとレジスタ内の値を与えるレジスタファイル30を模倣している。しかしながら、リオーダーバッファ35およびレジスタファイル30が用いる、その中の値にアクセスするための機構はかなり異なる。

【0021】リオーダーバッファ35が用いる機構では、リオーダーバッファは要求されたレジスタ番号をリオーダーバッファのすべてのエントリ内のレジスタ番号と比較する。次に、リオーダーバッファは一致するレジスタ番号を有するエントリの値(またはタグ)を戻す。これは迷走ルックアップ技術である。対照的に、レジスタファイル30に要求されたレジスタ番号が与えられると、レジスタファイルは単にレジスタ番号をデコードし、選択されたエントリで値を与える。

【0022】命令デコーダ25が命令をデコードすると、デコードされた命令のソースオペランドのレジスタ番号が、リオーダーバッファ35およびレジスタファイル30に同時にアクセスするのに用いられる。リオーダーバッファ35が、そのレジスタ番号が要求されたソースレジスタ番号と一致するエントリを持たない場合には、レジスタファイル30内の値がソースオペランドとして選択される。しかしながら、リオーダーバッファ35が一致するエントリを有する場合には、そのエントリ内の値がソースオペランドとして選択される、というのはこの値

はリオーダーバッファに割当てられた最も最近の値であるはずだからである。値がまだ計算されていないために利用可能でなければ、その値に関するタグがその代わりを選択され、オペランドとして用いられる。いずれの場合にせよ、値またはタグが適切な機能ユニットの待合わせステーションにコピーされる。この手順が、デコードされた命令の各々が要求する各オペランドについて行なわれる。

【0023】典型的な命令シーケンスでは、所与のレジスタは何度も書込まれる。この理由のため、命令が同じレジスタを特定する場合には、それらの命令によって同じレジスタがリオーダーバッファ35の異なるエントリに書込まれる可能性がある。この状況で正しいレジスタ値を得るために、リオーダーバッファ35は割当の順番によって複数の一致エントリに優先順位をつけ、特定のレジスタ値が要求されると最も最近のエントリを戻す。この技術によって、リオーダーバッファへの新しいエントリが、より古いエントリにとって替わる。

【0024】機能ユニットが結果を生成すると、その結果はリオーダーバッファ35、およびその結果に関するタグを含む何らかの待合わせステーションのエントリに書込まれる。結果値がこの態様で待合わせステーションに書込まれると、必要なオペランドを与えるかもしれない、実行のために機能ユニットに投入されるべき1つまたはそれ以上の待合わせをしている命令を解放するかもしれない。結果値がリオーダーバッファ35に書込まれた後、後続の命令はリオーダーバッファから結果値をフェッチし続ける。このフェッチングは、エントリが新しい値にとって替わられなければ、かつ、値をレジスタファイル30に書込むことによって値が用済とされるまで続く。用尽は、元の命令シーケンスの順序で起こり、したがって割込および例外に関して順序通りの状態を保つ。

【0025】浮動小数点ユニット20に関しては、浮動小数点ロード機能ユニット75および浮動小数点ストア機能ユニット80に加えて、浮動小数点ユニット20は他の機能ユニットも含むことがわかる。たとえば、浮動小数点ユニット20は、浮動小数点加算ユニット120と、浮動小数点交換ユニット125と、浮動小数点乗算ユニット130と、浮動小数点除算ユニット140とを含む。OP CODEパ145が、デコーダ40と浮動小数点ユニット20内の各機能ユニットとの間に結合されて、デコードされた命令を機能ユニットに与える。各機能ユニットはそれぞれの待合わせステーション、すなわち浮動小数点加算待合わせステーション120Rと、浮動小数点交換待合わせステーション125Rと、浮動小数点乗算待合わせステーション130Rと、浮動小数点除算待合わせステーション140Rとを含む。オペランドパ150は、レジスタファイル45およびリオーダーバッファ50を機能ユニットの待合わせステーションに結合して、オペランドがそれらに与えられるよう

にする。結果バス155は、浮動小数点ユニット20のすべての機能ユニットの出力をリオーダーバッファ50に結合する。リオーダーバッファ50はレジスタファイル45に結合される。リオーダーバッファ50およびレジスタファイル45には、したがって、先に整数ユニット15に関して説明したのと同じ態様が結果が与えられる。

【0026】整数リオーダーバッファ35は16のエントリを保持し、浮動小数点リオーダーバッファ50は8のエントリを保持する。整数リオーダーバッファ35および浮動小数点リオーダーバッファ50は、各々1マシンサイクルにつき2つの計算値を受入れることができ、1サイクルにつき2つの結果をそれぞれのレジスタファイルに格納することができる。

【0027】マイクロプロセッサがデコードされた命令を順序通りに投入する（「順序通りの投入」）ように制約されると、マイクロプロセッサは、デコードされた命令が資源の競合を発生する（すなわち2つの命令の両方がR1レジスタを使うことを要求する）と常に、またはデコードされた命令が従属性を有すると、命令のデコードを停止しなくてはならない。対照的に、「順序通りでない投入」を用いる図1のマイクロプロセッサ10は、デコード25を実行ユニット（機能ユニット）から分離することによって、このタイプの命令の投入を達成する。これは、リオーダーバッファ35および機能ユニットにある上述の待合せステーションを用いて分配命令ウィンドウを効果的に確立することによって行なわれる。この態様で、デコードは、命令を直ちに実行できなくても、命令をデコードし続けることができる。命令ウィンドウは、マイクロプロセッサが、先に進み命令を実行し続けながらそこから引出すことのできる命令のプールとして作用する。したがって、命令ウィンドウによってマイクロプロセッサに先見能力が与えられる。従属性がクリアされてオペランドが利用可能になると、ウィンドウ内のより多くの命令が機能ユニットによって実行され、デコードはさらに多くのデコードされた命令でウィンドウを充滿し続ける。

【0028】マイクロプロセッサ10は、その性能を高めるために分岐予測ユニット90を含む。プログラムの

命令ストリームにおける分岐がマイクロプロセッサの命令をフェッチする能力を妨げることはよく知られている。これは、分岐が起こると、フェッチャがフェッチすべき次の命令が分岐の結果に従属するからである。ユニット90等の分岐予測ユニットがなければ、マイクロプロセッサの命令フェッチャは機能停止となるか、または正しくない命令をフェッチする恐れがある。このことは、マイクロプロセッサが命令ウィンドウ内の並列に実行する他の命令を探しあてる可能性を減じしてしまう。ソフトウェア分岐予測ではなく、ハードウェア分岐予測が分岐予測ユニット90では用いられて、命令のフェッチの間に起こる分岐の結果を予測する。言い換えれば、分岐予測ユニット90は、分岐が発生されるべきであるか否かを予測する。たとえば、先行の分岐結果の実行の履歴を保持するために分岐先バッファが用いられる。この履歴に基づいて、特定のフェッチされた分岐の間、フェッチされた分岐命令がどの分岐をとるかにに関して決定がなされる。

【0029】ソフトウェア分岐予測もまた、分岐の結果を予測するのに用いることができることが認められる。この分岐予測のアプローチでは、プログラムにおける各分岐にいくつかのテストが行なわれて、統計的にどの分岐結果が起こりそうかを判断する。ソフトウェア分岐予測技術は、典型的にはプログラム自体に好ましい分岐結果に関して統計的な分岐予測情報を紐返むことを伴う。コード列（分岐等）が、マイクロプロセッサがそのコード列を実行するのが適切であることを確信する前に実行されるマイクロプロセッサ設計の実用に、「推論実行」という用語がしばしば適用される。

【0030】スーパースカラマイクロプロセッサの動作を理解するために、パイプラインの各ステージ、すなわちフェッチ、デコード、実行、ライトバックおよび結果コミットでのスカルおよびスーパースカラマイクロプロセッサを比較することが有用である。以下の表1はこのような比較を示す。

【0031】

【表1】

パイプライン 段 階	パイプライン化された ス カ ラ プ ロ セ ッ サ	パイプライン化されたスーパー スカラプロセッサ (投入および 完了は順序通りでない)
フ ェ ッ チ	1つの命令をフェッチする	複数の命令をフェッチする
デ コ ー ド	命令をデコードする レジスタファイルからオペ ランドにアクセスする 機能ユニット入力ラッチに オペランドをコピーする	命令をデコードする レジスタファイルおよびリオー ダバッファからオペランドにア クセスする 機能ユニット符合せステーシ ョンにオペランドをコピーする
実 行	命令を実行する	命令を実行する 結果バスに対して調停する
ライトバック	レジスタファイルに結果を 書き込む 機能ユニット入力ラッチに 結果を転送する	リオーダバッファに結果を書込 む 結果を機能ユニットの符合せ ステーションに転送する
結果コミット	n/a	レジスタファイルに結果を書込 む

【0032】スーパースカラマイクロプロセッサ10の上述の説明より、このマイクロプロセッサは実に強力であるが、非常に複雑な構造であることが認められる。しかしながら、設計の簡略化および処理性能のさなる向上が、マイクロプロセッサ10等のマイクロプロセッサにおいて常に望ましい。

【0033】

【発明の概要】したがって、本発明のスーパースカラマイクロプロセッサのある利点は、並列に命令を処理することに関しての性能の向上である。

【0034】本発明のスーパースカラマイクロプロセッサの別の利点は、その複雑さが減じられたことである。

【0035】本発明のスーパースカラマイクロプロセッサのさらに別の利点は、他のスーパースカラマイクロプロセッサと比較して、ダイの寸法が減じられたことである。

【0036】本発明の一実施例に従えば、主メモリにストアされた命令を処理するためのスーパースカラマイクロプロセッサが提供される。マイクロプロセッサは、同じマイクロプロセッササイクル内に複数の命令をデコードするための複数命令デコーダを含む。デコーダは、同じマイクロプロセッサ内に整数および浮動小数点命令の両方をデコードする。マイクロプロセッサは、デコーダに結合されるデータ処理バスを含む。マイクロプロセッサはさらに、同じデータ処理バスに結合されて、これを共有する整数機能ユニットおよび浮動小数点機能ユニットを含む。共通のリオーダバッファが、データ処理バスに結合されて、整数機能ユニットおよび浮動小数点機能ユニットの両方に用いられる。共通レジスタファイルがリオーダバッファに結合されて、リオーダバッファから用済とされた命令結果を受入れる。

【0037】新規であると考えられる本発明の特徴は、

前掲の特許請求の範囲に特定的に述べられる。しかしながら、この発明自体は、その構造および動作方法の両方について、以下の説明および添付の図面を参照することによって最もよく理解されるであらう。

【0038】

【実施例の詳細な説明】

1. スーパースカラマイクロプロセッサ概説

本発明の高性能スーパースカラマイクロプロセッサは、望ましいことに、順序通りでない命令の投入と順序通りでない命令の実行とを並列して可能にする。より特定的には、開示されるスーパースカラマイクロプロセッサでは、命令はプログラム順に発行され、投入および完了は順序通りでなく、用尽（用済）は順序通りに行なわれる。高性能を可能にする本発明のいくつかの局面を、より詳細な説明に入る前に議論する。

【0039】図2のスーパースカラマイクロプロセッサ200は、いくつかの主な構成要素を共有することで、ダイの寸法を増大することなく性能を向上することができ、このマイクロプロセッサのアーキテクチャでは、整数ユニット215および浮動小数点ユニット225は共通のデータ処理バス535に結合される。データ処理バス535は、主にその広いバンド幅のために、高速で高性能のバスである。整数機能ユニットおよび浮動小数点機能ユニットが別個のバスの上にある設計と比較して、これらの両方の機能ユニットをさらに活用することが可能になる。

【0040】整数および浮動小数点機能ユニットは、複数の符合せステーションを含み、これらもまた同じデータ処理バス535に結合される。図3ないし図4に示される本発明のマイクロプロセッサのより詳細な表現からわかるように、整数および浮動小数点機能ユニットはまた、データ処理バス535を介して共通の分岐ユニッ

ト520を共有する。さらに、整数および浮動小数点機能ユニットは、同じデータ処理バス35に結合される共通のロード/ストアユニット530を共有する。開示されるマイクロプロセッサアーキテクチャは、マイクロプロセッサの寸法をより効率的に用いながら、有利に性能を高める。図2ないし図5に示されるこの発明の実施例では、本発明のマイクロプロセッサは、マイクロプロセッサによって処理される命令が同じ幅を示し、かつオペランドサイズが可変である縮小命令セットコンピュータ(RISC)である。

【0041】図2に戻って、この発明のスーパースカラマイクロプロセッサの簡略化されたブロック図が、マイクロプロセッサ200として示される。スーパースカラマイクロプロセッサ200は、4命令幅、2ウェイセットアソシエティブ、部分デコード8Kバイト命令キャッシュ205を含む。命令キャッシュ205は、分岐予測を伴う1マシンサイクルにつき複数の命令のフェッチをサポートする。この明細書の目的のため、マシンサイクルおよびマイクロプロセッササイクルという用語は、同意語であると思ふ。命令キャッシュ205はまた、I-CACHEとも称する。

【0042】マイクロプロセッサ200はさらに、オペランドの利用可能性に関わらず、1マシンサイクルにつき4つまでの命令をデコードし、6つの独立した機能ユニットのいずれにも発行することのできる命令デコーダ(DECODER)210を含む。図3ないし図5にマイクロプロセッサ500として示される本発明のより詳細な実施例においておけるように、これらの機能ユニットは、2つの算術論理ユニット(まとめてALU500として示されるALU0およびALU1)を含む。これらの機能ユニットはさらに、シフトセクション510(SHIFTER)を含む。これはALUセクション505とともに、整数命令を処理するための整数ユニット515を形成する。機能ユニットはさらに、命令分岐を処理し、かつ分岐予測を行なうための分岐セクション(BRANCH)520を含む。分岐ユニット520として用いることができる分岐ユニットの1つは、1992年8月4日に発行された、「キャッシュ内に各命令のブロックとストアされたフェッチ情報を用いての適切に予測された分岐命令に続く実行のための遅延を低減するためのシステム」("System For Reducing Delay For Execution Subsequent To Correctly Predicted Branch Instruction Using Fetch Information Stored With Each Block Of Instructions In Cache")と題される米国特許第5,136,697号に記載され、その開示をここに引用によって援用する。浮動小数点セクション(FPSECT)525およびロード/ストアセクション(LSTORE)530もまた、デコーダ(DECODER)210が命令を発行する機能ユニットに含まれる。上述の機能ユニットはすべて、図3ないし図5に示されるよ

うに共通の主データ処理バス35を共有する(この明細書の目的のため、図3ないし図5は併せてマイクロプロセッサ500を形成し、併せて横に並べて見るものである)。

【0043】図2のスーパースカラマイクロプロセッサ200の簡略化されたブロック図では、分岐は整数演算と考えられ、分岐ユニットは整数コア215の一部として見なされる。スーパースカラマイクロプロセッサ200は、オペランド従属性の適切な順序付けを守り、かつ順序通りでない投入を可能にするために命令のタグの付与を行なう。マイクロプロセッサ200はさらに、発行された命令が実行を待つ間待ち行列にされる、機能ユニットの複数の待合わせステーションを含む。この特定の事例では、各機能ユニットの入力に2つの待合わせステーションが設けられる。より特定的には、この特定の事例では、整数コア215は2つの待合わせステーション220を含み、浮動小数点コア225は2つの待合わせステーション230を含む。1機能ユニットについて用いられる待合わせステーションの数は、所望される待ち行列の程度に従って変えてもよい。整数コア215は整数命令を処理し、浮動小数点コア225は浮動小数点命令を処理する。実用において、整数コア215および浮動小数点コア225の各々は、複数の機能ユニットを含み、この発明の一実施例では、その各々には複数の待合わせステーションが備えられる。

【0044】この特定の事例において、マイクロプロセッサ200は1マシンサイクルについて3つまでの機能ユニット結果を処理することができる。これは、マイクロプロセッサ200が、すべての機能ユニット(すなわち図2の整数コア220および浮動小数点コア230)に結合されるRESULT0、RESULT1、およびRESULT2と示される3つの結果バスを含むわけである。この発明はこの数の結果バスに制限されるわけではなく、所望の性能レベルに見合った、より多いまたは少ない数の結果バスを用いてもよい。同様に、この発明は示される実施例における機能ユニットの特定の数に制限されるわけではない。

【0045】マイクロプロセッサ200はさらに、リオーダーバッファ240から用済となった結果をストアするための統合されたレジスタファイル235を含む。レジスタファイル235は、一実施例においては1マシンサイクルにつき4つの読出および2つの書込を可能にするマルチポートマルチレジスタ記憶領域である。レジスタファイル235は様々なサイズのエン트리、すなわち一実施例では同じレジスタファイルに32ビット整数および64ビット浮動小数点オペランドエントリの両方を取る。レジスタファイル235は、この特定の事例では194の32ビットレジスタのサイズを示す、リオーダーバッファ240もまた異なるサイズのエン트리、すなわち一実施例では同じレジスタファイル内に32ビッ

ト整数および64ビット浮動小数点オペランドエントリの両方を収容する。これらの特定の数もまた、制限するものではなく例示する目的のために与えるものである。

【0046】リオーダーバッファ240は、環状バッファ、または順序通りでない機能ユニットの結果を受け取りかつ逐次命令プログラム順にレジスタファイル235を更新するキューである。一実施例では、リオーダーバッファ240は、10のエントリを備えた先入れ先出し(FIFO)バッファとして実現される。FIFO ROB 240内のキューは先頭および末尾を含む。この発明の別の実施例では、16のエントリを備えたリオーダーバッファを用いる。リオーダーバッファ240は再指定されたレジスタに割当てられる位置を含み、推論的に実行された命令の結果を保持する。分岐論理がある分岐の発生を予測すると、予測された分岐における命令が、分岐がある特定の例において適切に発生したとの推論の下に実行されるように、命令が推論的に実行される。分岐が誤予測されたことと判断されるようなことがあれば、リオーダーバッファ240内にある分岐結果は、効果的にキャンセルされる。このことは、マイクロプロセッサが誤予測された分岐命令に対して効果的にバックアップし、マイクロプロセッサの推論状態をリセットし、誤予測された分岐前のプログラム命令ストリームの点から実行を再開することによって達成される。

【0047】リオーダーバッファの10のエントリは各々32ビット幅(32ビット整数量の幅に対応する)であるが、リオーダーバッファはまた、たとえば64ビット浮動小数点量等の64ビット量を収容することもできる。これは、リオーダーバッファ内で64ビット量を2つの連続ROPとしてストアすることによって達成される(アール・オップと発音するROPは、マイクロプロセッサによって処理されるRISCまたはRISC類似命令/演算を指す)。このようにストアされた連続ROPは、これらを1つの構造として連結する情報を有し、1つの構造として一緒に用済とされる。各リオーダーバッファエントリは、1の32ビット量、すなわち倍精度浮動小数点量の1/2、1の単精度浮動小数点量または32ビット整数を保持する容量を有する。

【0048】プログラムカウンタ(PC)は、もう推論的ではないものとしてレジスタファイル235に格納された命令と、推論的に実行されてその結果がリオーダーバッファ(ROB)240にあり、用済が未定の命令との間の境界である。プログラム命令ストリームの点を追跡するために用いられる。このPCは、リタイアPCまたは単にPCと称する。リタイアPCは、ROBキューの先頭にストアされ、更新される。ROBエントリは、相対PC更新状態情報を含む。

【0049】リタイアPCは、リオーダーバッファキューの先頭と関連する状態情報によって更新される。より特定のには、リオーダーバッファキューは、この特定の実施

例では最大4の命令までの、用済とする準備のできている命令の数を示す。リタイア論理242内に位置されるリタイアPCセクションは、現在の用済となったPCを保持する。ある特定のクロックサイクル内に4つの逐次命令が用済とされるべきであれば、リタイアPC論理は現在のリタイアPCに[4命令*4バイト/命令]を加えて新しいリタイアPCを生成する。発生した分岐が存在すれば、リタイアPCは、一旦分岐が用済とされもう推論的でなくなると、分岐先に進む。リタイアPCは次に、その点から用済とされた命令の数だけ増分される。リタイアPCはリタイア論理242内の内部バス、すなわちPC(31:0)に存在する。

【0050】1.1. スーパーバスカラムマイクロプロセッサの簡略化されたブロック図

このセクションでは、図2の簡略化されたマイクロプロセッサのブロック図のまじり込んでいる局面を中心に議論する。一般的な見方を述べる。

【0051】図2は、マイクロプロセッサ200として、この発明の高性能スーパーバスカラムマイクロプロセッサの一実施例の簡略化されたブロック図を示す。マイクロプロセッサ200において、命令キャッシュ205およびデータキャッシュ245は、32ビット幅内部アドレスデータ(IAD)バス250を介して互いに結合される。IADバス250は、一実施例では、データ処理バス35と比較すると比較的低速の通信バスである。IADバス250は、マイクロプロセッサ200のいくつかの主要な構成要素を相互接続して、このような構成要素の間でアドレス情報およびデータの両方の通信を与えるように機能する。IADバス250は、データ処理バス35が扱うオペランド処理および結果処理のように高速の並列性を要求しないタスクのために用いられる。この発明の一実施例では、IADバス250は、各クロックサイクルにおいてデータおよびアドレス情報の両方がそれにマルチプレックスされる32ビット幅バスである。IADバス250のバンド幅は、したがってある例では64ビット/クロックである。

【0052】主メモリ255が、図2に示されるようにバスインタフェースユニット260を介してIADバス250に結合される。このように、主メモリ255への、およびそこから情報の読出および書込が可能にされる。図示の目的のため、主メモリ255はマイクロプロセッサ200の一部として図2に示される。実用において、主メモリ255は、一般にマイクロプロセッサ200の外部に置かれる。

【0053】しかしながら、たとえばマイクロコントローラの場合のように主メモリ255がマイクロプロセッサ200内に配置される。マイクロプロセッサ200の実現例が企図される。

【0054】デコーダ210は、命令キャッシュ205に結合されるフェッチバス257を含む。フェッチバス25

7は、デコード210によるデコードおよび発行のためにキャッシュ205および主メモリ255から命令をフェッチする。

【0055】バスインタフェースユニット(BIU)260は、IADバス250に結合されてマイクロプロセッサ200の外部にあるバス回路(図示せず)とマイクロプロセッサ200をインタフェースさせる。より特定的には、BIUバス260は、マイクロプロセッサ200の外部にあるシステムバス、ローカルバスまたは他のバス(図示せず)とマイクロプロセッサ200をインタフェースさせる。BIU260として用いることができるバスインタフェースユニットの1つは、アドバンスト・マイクロ・デバイス・インコーポレイテッド(Advanced Micro Devices)が製造するAM29030マイクロプロセッサからのバスインタフェースユニットである。BIU260は、A(31:0)と示されるアドレスポートと、D(31:0)と示されるデータポートとを含む。BIU260はまた、バスハンドシェイクポート(BUS HAND SHAKE)と、XBREQ(バスリクエストなし)およびXBGRТ(バスグラントなし)と示されるグラント/ノックエスライントを含む。AM29030マイクロプロセッサのバスインタフェースユニットは、アドバンスト・マイクロ・デバイス・インコーポレイテッドの出版するAm29030ユーザーズマニュアルにより詳細に説明される。

【0056】当業者には、命令列およびそのためのデータを含むプログラムが主メモリ255にストアされることが認められるであろう。命令およびデータがメモリ255から読出されると、命令およびデータは、命令がデコード210によってフェッチされ、デコードされ、機能ユニットに発行される前に、それぞれ命令キャッシュ205およびデータキャッシュ245にストアされる。

【0057】デコード210によって特定の命令がデコードされると、デコード210はデコードされた命令のオペコードをその命令のタイプのための適切な機能ユニットに送る。たとえば以下の命令、すなわちADD R1, R2, R3(レジスタ1内の整数をレジスタ2内の整数に加えてその結果をレジスタ3に置く)がフェッチされたと仮定する。ここで、R1はAオペランドであり、R2はBオペランドであり、R3は先行レジスタである。

【0058】実用において、デコード210は1度に1ブロックにつき4つの命令をデコードし、各命令に関連するオペコードを識別する。言い換えれば、デコード210は、デコード210に含まれる4つの発行位置の各々のためのオペコードタイプを識別する。4つのデコードされたオペコードタイプは、それぞれ4つのTYPEバスを介して機能ユニットにブロードキャストされる。4つのデコードされたオペコードはそれぞれのOP C

ODEバスを介して機能ユニットにブロードキャストされる。もし利用可能であれば、オペランドがROB240およびレジスタファイル235から検索される。オペランドは、AオペランドおよびBオペランドバスを介して機能ユニットにブロードキャストされる。特定のオペランドが利用可能でなければ、AおよびBオペランドタグがその代わりに適切なAまたはBオペランドバスを介して適切な機能ユニットに送られる。デコード210によってデコードされた4つの命令は、このように処理のために機能ユニットに発行される。

【0059】この例でのADD オペコードに関して、機能ユニットの1つ、すなわち整数コア215内の算術論理装置(ALU)は、オペコードタイプを認め、その待合ステーション220においてオペコード、Aオペランドタグ、Aオペランド(もし利用可能であれば)、Bオペランドタグ、Bオペランド(もし利用可能であれば)および先行タグを含む情報をラッチする。ALU機能ユニットは次に結果を判断し、その結果を、ROB240でのスタアのために、および未処理の命令を処理するためにその結果を必要としている何らかの他の機能ユニットによる検索のために、結果バス265に置く。

【0060】命令がデコード210によってデコードされると、その結果のためにリオーダーバッファ240内のレジスタが割当てられることが認められる。次に命令の先行レジスタが、割当てられたレジスタに関連付けられる。命令のまだ利用可能でない結果に対応する結果タグ(一時の一意のハードウェア識別子)が割当てられたレジスタに置かれる。「レジスタ再指定」がこのように実現される。プログラム命令列における後の命令が、リオーダーバッファ240内のこの再指定された先行レジスタを参照すると、リオーダーバッファ240は、そのレジスタに割当てられた位置にストアされた結果値か、またはその結果がまだ計算されていないならばその値のためのタグのいずれかを与える。結果が計算されると、結果タグバスに信号が与えられ、リオーダーバッファ240および機能ユニットの待合ステーションに結果バスを介して結果が利用可能となったことを知らせる。このようにして結果がリオーダーバッファ240にストアされる。

【0061】図3および4に示されるように、先行タグラインはリオーダーバッファ240から機能ユニットに延びる。デコード210は、リオーダーバッファに、リオーダーバッファエントリの割当の準備が現在できている命令の数を知らせる。リオーダーバッファは次に、リオーダーバッファの現在の状態に基づいて先行タグバスを各命令に割当てる。デコード210は次に、各命令が投入されるか否かを確立する。リオーダーバッファは投入された命令を取り込み、リオーダーバッファエントリの一時的割当を確立する。

【0062】特定の命令のためのオペランドは、共通デ

ータ処理バス535のAオペランドバス(A OPER)およびBオペランドバス(B OPER)を介して、適切な機能ユニットに送られる。それぞれの命令の結果は、これらの命令に割当てられた機能ユニットで発生する。これらの結果は、3つの結果バスRESULT0、RESULT1およびRESULT2を含む複合結果バス265を介してリオーグバッファ240に送られる。複合結果バス265は、データ処理バス535の一路である。

【0063】特定の命令がデコードされたときに、1つまたはそれ以上のオペランドが現在利用可能でないことは、デコード210から機能ユニットへの命令の発行を妨げるわけではない。そうではなく、1つまたはそれ以上のオペランドがまだ利用可能でない場合には、オペランドタグ(一時の一意のハードウェア識別子)が、抜けているオペランドの代わりに適切な機能ユニット/待合ステーションに送られる。オペランドタグおよび命令のためのオペコードは、タグに対応するオペランドが結果バスを介してリオーグバッファ240で利用可能となるまでは、その機能ユニットの待合ステーションにスタアされる。抜けていたすべてのオペランドがリオーグバッファ240で利用可能となれば、タグに対応するオペランドがリオーグバッファ240から検索される。オペランドおよびオペコードは、待合ステーションから実行のために機能ユニットに送られる。結果は、リオーグバッファ240に伝送するために結果バスに置かれる。

【0064】上述のオペランドタグトランザクションにおいて、A OPERおよびB OPERバスを介して機能ユニットの待合ステーションにオペランドタグが実際に送られることが認められる。オペランドタグをやりとりするためにこのような態様で用いられると、A OPERおよびB OPERバスは、図2に示されるようにA TAGおよびB TAGと称する。

【0065】11.1 スーパーバスマイクロプロセッサ:より詳細な説明

図3ないし図5は、マイクロプロセッサ500として、この発明のマイクロプロセッサのより詳しい実例を示す。図2ないし図5に示されるマイクロプロセッサ内の同様の要素を示すのに同様の参照符号を用いる。マイクロプロセッサ500のある部分は既に説明したことが認められる。

【0066】マイクロプロセッサ500において、命令は推論プログラム順に発行される。投入および完了は順番通りではなく、順番通りに消費とされる。多くの信号およびバスが、特に命令の発行に関して並列性を促進するために複製されることが後の説明より明らかになるであろう。デコード210は、1マイクロプロセッササイクルについて複数の命令をデコードし、デコードされた命令がそこから機能ユニットに並列に発行される発行ウィ

ンドウを形成する。ICACHE205は、1度に4つの命令をデコード210に、ICACHE205をデコード210に結合するラインINS0、INS1、INS2およびINS3を介して与えることができる。

【0067】マイクロプロセッサ500において、主データ処理バスは、やはりデータ処理バス535として示される。データ処理バス535は4つのOP CODEバスと、4つのA OPER/A TAGバスと、4つのB OPER/B TAGバスと、4つのOP CODE TYPEバスを含む。4つのOP CODEバス、4つのA OPER/A TAGバス、4つのB OPER/B TAGバス、および4つのOP CODE TYPEバスは、デコードされた命令を機能ユニットに伝送するように協働するため、これらは併せて、XIOB、XI1B、XI2BおよびXI3B(図では別個に符号を付けられるわけではない)と示される4つの命令バスとしても参照される。これらの類似した命令バスの名称は、互いから1桁で区別される。この桁は0をより早い命令として、0mod16バイトモリブツクにおける命令の位置を示す。これらの名称はここでは小文字「n」でその桁を示す一般的な形で与えられる(すなわち、4つの命令バスXIOB、XI1B、XI2BおよびXI3Bは、XI n Bとして参照する)。

【0068】順序通りでない命令の並列の実行を可能にするスーパーバスマイクロプロセッサ500の特徴を、ここでマイクロプロセッサのより詳細な説明を始める前に簡単に繰返す。マイクロプロセッサ500は、4命令幅、2ウェイセットアソシアティブ、部分デコード8Kバイト命令キャッシュ205(ICACHE)を含み、分岐予測を伴う、1マイクロプロセッササイクルにつき4つの命令のフェッチをサポートする。マイクロプロセッサ500は、オペランドの利用可能性に関わらず、5つの独立した機能ユニットのうちの何らかのものへのデコード210(IDECODE)による1サイクルにつき4つまでの命令のデコードおよび発行を与える。これらの機能ユニットは、分岐セクションBRNS EC520、算術論理装置ALU505、シフトセクションSHF SEC510、浮動小数点セクションFPT SEC525、およびLOAD/STOREセクション530を含む。

【0069】マイクロプロセッサ500は、オペランドの従属性の適切な順序付けを守り、順序通りでない投入を可能にするために、命令のタグ付与を行なう。マイクロプロセッサ500はさらに、まだ実行できない発行された命令がそこで待ち行列にされる、機能ユニット内の待合ステーションを含む。3つの結果バス(RESULT0、RESULT1およびRESULT2)が、1サイクルにつき3つまでの機能ユニット結果を扱うことを可能にするように設けられる。環状バッファまたはFIFOキュー、すなわちリオーグバッファ240が、

順序通りでない機能ユニットの結果を受け取り、レジスタファイル235を更新する。より特定のには、レジスタファイルはリオーダーバッファからの結果で正しいプログラム順に更新される。言い換えれば、リオーダーバッファからレジスタファイルへの結果の格納は、それが関係するすべての分岐、算術およびロード/ストア動作とともに正しい実行順に行なわれる。マルチポートレジスタファイル235は、1マシンサイクルにつき4つの読出および2つの書込ができる。RESULT0、RESULT1およびRESULT2は、ROB240に並列に書込まれる。結果がROB240から用済とされる際、これらは書込バスWRITEBACK0およびWRITEBACK1を介して並列にレジスタファイル235に書込まれる。マイクロプロセッサ500はまた、ロードおよびストア待ち時間を最少にするように、オンボードのダイレクトマッピング8Kバイトコヒーレントデータキャッシュ245を含む。

【0070】【III (a) 命令フローフェッチ】マイクロプロセッサ500の命令フローをここで説明する。命令デコード(IDECODE)210は、命令を命令キャッシュ(ICACHE)205からフェッチする命令フェッチ257を含む。キャッシュ205として用いることができる命令キャッシュの1つは、1992年4月12日に出版された、「命令デコードおよびこれを用いるスーパー标スカルプロセッサ」(“Instruction Decoder And Superscalar Processor Utilizing Same”)と題される同時係属中の米国特許出願連続番号第07/929,770号に説明され、本明細書においてこれを引用によって援用する。デコード210(IDECODE)として用いることができるデコードの1つもまた、1992年4月12日に出版された「命令デコードおよびこれを用いるスーパー标スカルプロセッサ」と題される米国特許出願連続番号第07/929,770号に説明される。

【0071】主メモリ255内の特定のプログラムがマイクロプロセッサ500によって実行されるとき、プログラムの命令は実行のためにプログラム順に検索される。命令は通常最初ICACHE205にないもので、まず典型的なICACHEリフィル動作を説明する。キャッシュミスの際に、0mod16バイト(キャッシュブロックサイズ)でメモリ内に整列された4ワードの命令のブロックに対するリクエストがバスインタフェースユニット(BIU)260に対して行なわれる。これは、後続のミスが起こるということを仮定して、命令ブロックの継続するプリフェッチストリームを開始する。この特定の実施例では、キャッシュ内のブロックにつき有効ビットは1つしかないもので、4ワードのブロックが最小の転送サイズである。有効ビットは、現在の16バイトエントリおよびタグが有効であることを示す。このことは、エントリがロードされ、現在実行されているプ

ログラムに対して確立されたことを意味する。

【0072】命令ブロックが戻される際に(対象のワードからではなく下位のワードから行なわれる)、これは1つの命令につき4ビットの情報を発生するプリデコードネットワーク(図示せず)を通る。前の命令ブロックが発行されていれば、次の命令ブロック(新しい命令ブロック)が命令レジスタ258およびIDECODE210に進む。そうでなければ、次の命令ブロックはプリフェッチバッファ259で待つ。命令レジスタ258は、推論実行のために発行されるべき次の命令である現在の4つの命令を保持する。プリフェッチバッファ259は、ICACHE205がリクエストしたプリフェッチされた命令のブロックを保持する。これらの命令は、後にプリデコードされてICACHE205およびIDECODE210に送られる。この態様でプリフェッチされた命令のブロックを保持することによって、IDECODE210による発行およびプリフェッチがロック状態で実行される必要がないように、バッファ動作が与えられる。

【0073】また解決されていない条件分岐がなければ、予測実行された次の命令がデコードに進むと、次の命令ブロックがICACHE205に書込まれる。このアプローチは、望ましいことには不必要な命令がキャッシュされることを防ぐ。プリデコード情報もまたキャッシュに書込まれる。プリデコード情報とは、特定の命令を適切な機能ユニットに迅速に送るのを助ける命令のサイズおよび内容に関する情報である。プリデコードに関するさらなる情報は、同時係属中の本説受人に譲渡された「可変バイト長命令に特に適したプリデコード命令キャッシュおよびそのための方法」(“Pre-Decoded Instruction Cache And Method Thereof Particulary Suitable For Variable Byte-Length Instructions”)と題される米国特許出願番号第145,905号に見いだされ、その開示をここに引用によって援用する。分岐予測は、プログラムが実行される際にどの分岐が発生するかを予測するために用いられるものであることが認められる。予測は後に、分岐が実際に実行されるときに確立される。予測は、マイクロプロセッサパイプラインのフェッチ段階の間起こる。

【0074】プリフェッチストリームは、BIU260がそれに結合される外部バス(図示せず)を放棄しなくてはならないか、データキャッシュ245が外部アクセスを必要とするか、プリフェッチバッファ259がオーバーフローするか、キャッシュヒットが起こるか、または分岐もしくは割込が起こるまで続く。上述のことより、プリフェッチストリームはあまり長くはならない傾向にあることが認められるであろう。一般に、外部プリフェッチは、多くても発行されているものより2ブロック先である。

【0075】この特定の実施例では、命令キャッシュ2

05 (ICACHE) 内のブロック1つにつき有効ビットは1つなので、部分的なブロックは存在せず、すべての外部フェッチは4つの命令のブロックで行なわれることが認められる。キャッシュ内のブロックにつき有効ビットは1つしかない。ICACHE 205はまた、各ブロックについての分岐予測情報を含む。この情報はリフィルの際にクリアされる。

【0076】命令がICACHE 205に進んだので、スーパースカラ実行を始めることができる。外部でフェッチされたブロックがデコードに達し、動作はICACHE 205からフェッチされたものと同じであるが、全体的な性能は、1サイクルにつき1の命令の最大外部フェッチレートに制限される。4ワードの命令ブロックがフェッチされ、プリデコード情報とともにデコードに進む(PH2でキャッシュ読出、PH1で命令バス駆動)。PH1はクロックの2つの相のうちの第1のものと規定され、PH2は、クロックの2つの相のうちの第2のものと規定される。PH1およびPH2が、パイプライン化されるプロセッサの基本的なタイミングを構成する。

【0077】図3および4に示されるように、32ビットフェッチPC (FPC) バス、FPC (31:0) は、命令キャッシュ (ICACHE) 205とデコード (IDECODE) 210のフェッチ257との間に結合される。より特定時には、FPCバスは、ICACHE 205内のFPCブロック207とフェッチ257との間に延びる。命令キャッシュ205内のフェッチPCまたはFPCブロック207は、その中に位置されるFPCとして示される推論フェッチプログラムカウンタを制御する。FPCブロック207は、デコード210による機能ユニットへの命令の発行に先立ってフェッチ257がプリフェッチする命令に関連するプログラムカウンタ値FPCを保持する。FPCバスは、ICACHEに例外または分岐予測に進む位置を示す。フェッチPCブロック207は、デコード210へと命令(4の幅)をプリフェッチするのに、命令キャッシュ205にストアされた分岐予測情報を用いる。フェッチPCブロックは、逐次アクセスを予測することでも、この場合には新しいブロックが必要なときに現在のフェッチPCを16バイトだけ増分し、これはまた新しいブロックへの分岐を予測することでも。新しい分岐位置は、予測された分岐に関して命令キャッシュから受取られたものでも、誤予測または例外の際に分岐機能ユニットから受取られたものでもあり得る。フェッチPCまたはFPCは、先に述べたリタイアPCとは区別されるべきである。

【0078】フェッチPC (FPC) はPH1で増分され、次のブロックがICACHE 205から読出されるが、IDECODE 210は、第1のブロックからすべての命令を発行してなければHOLD I F E Tをアサ

ートすることによってフェッチ257を停止させる。HOLD I F E T信号の機能は、命令レジスタ258内の4つの命令が進むことができないので命令のフェッチを抑えるというものである。

【0079】フェッチ257はまた、分岐予測の実行を助ける。分岐予測は、命令キャッシュ205の出力である。分岐が予測されると、予測された次のブロックの4つの命令は、命令キャッシュ205によって命令ラインINS0、INS1、INS2およびINS3へと出力される。命令キャッシュ205内のアレイIC_NXTBLK (図示せず) は、キャッシュ内の各ブロックについてその特定のブロックでどの命令が予測実行されるかを規定し、次のブロックがどう予測されるかを示す。分岐がなければ、実行は常にブロック単位で逐次的に行なわれるであろう。したがって、発生される分岐は、このブロック指向分岐予測を変える唯一の事象である。言い換えれば、この発明の一実施例では、逐次的なブロック単位での予測は、発生しないか予測された分岐が発生し、誤予測されたときのみ起こる。

【0080】分岐命令を含むブロックが初めてデコード210 (IDECODE) に送られると、後続のフェッチは、分岐が発生しないと仮定して、逐次的である。分岐が実行され、後に実際に発生したとわかると、分岐予測ユニット(分岐ユニット) 520は、ICACHE 205に知らせ、1) 分岐が発生したこと、2) 分岐命令のブロック内の位置、および、3) ターゲット命令のキャッシュ内の位置を反映するように、そのブロックに関する予測情報を更新する。フェッチ257はまた、ターゲットからフェッチを始めるように指示し直される。次にそのブロックがフェッチされると、フェッチ257は、それが前に発生された分岐を含むことを認め、以下の動作で非逐次的なフェッチを行なう。すなわち1) 命令有効ビットは、分岐遅延スロットを含むかつそのままでセットされない。分岐遅延は常に分岐の後の命令を実行するという概念であり、遅延分岐とも称される。この命令は既にスカルARISCパイプラインにおいてプリフェッチされており、そのため分岐の際に、それを実行するのオーバーヘッドが失われる。2) 分岐が発生予測されたという指示がそのブロックとともにデコード210に送られる。3) 次のフェッチのためのキャッシュインデックスが予測情報からとられる。(キャッシュインデックスは、分岐が起るときに予測実行された次のブロックのためのキャッシュ内の位置である。キャッシュインデックスは絶対PCでないことに注目されたい。絶対PCは、その位置のTAGをキャッシュインデックスと連結することによって形成される。) 4) このキャッシュインデックスのブロックがフェッチされ、予測されたターゲットアドレスがブロックのタグから形成され、分岐情報が分岐FIFO (BRN FIFO) 261に置かれる。5) この次のブロックのための有効ビ

ットが、予測されたターゲット命令から始まってセットされる。

【0081】分岐FIFO261は、フェッチャ257によって予測されたターゲットアドレスを分岐機能ユニット(BRNSC)550に伝えるために用いられる。別個に示されているが、分岐FIFO261は分岐セクションBRNSC550の一部であると考えられることが認められる。分岐FIFO261には、ターゲットとともに分岐が発生予測された命令のPCがロードされる。分岐命令が実際に発行されると、分岐命令は分岐FIFO内のエントリ、すなわちそこにストアされたPCと比較される。一致があれば、エントリは分岐FIFOから送られ、分岐命令がうまく予測されたものとしてリオーダーバッファ240に戻される。誤予測があれば、正しいPCがリオーダーバッファ240に与えられる。

【0082】予測ビットは、分岐命令とともにデコーダ210によって分岐ユニット520に発行される。予測ビットは、特定の分岐がIC_NXTBLKアレイにストアされた情報から発生予測されたかどうかを示す。

【0083】分岐ユニット520が命令を実行すると、その結果が予測と比較され、発生されれば、実際のターゲットアドレスが分岐FIFOの上部のエントリ(必要であればそれが現われるの待つ)と比較される。いずれのチェックも失敗すれば、分岐ユニット520はフェッチャ257に正しいターゲットアドレスを再指定し、予測を更新する。これがフェッチャ257によるものではなく予測された非順次的フェッチに関してキャッシュミスを検出する方法であることに注目されたい。予測情報は、フルアドレスではなくキャッシュインデックスのみを含むので、ターゲットブロックのタグはヒットに關してチェックすることができず、ターゲットアドレスはそのタグによって特定されるそのインデックスのブロックのアドレスであると仮定される。分岐が最後に実行されてから実際のターゲットブロックが置換えられていれば、これは誤比較および実行の際の訂正となる。誤比較が起これば、分岐を過ぎた多くの命令が、その遅延スロットのみだけでなく、実行されているかもしれない。

【0084】分岐予測ユニット520として用いることのできる分岐予測ユニットの1つは、1992年8月4日に発行された、ダブリュー・エム・ジョンソン(W. M. Johnson)の「キャッシュ内の各命令ブロックとストアされたフェッチ情報を用いた正しく予測された分岐命令に続く実行の遅延を減じるためのシステム」と題される米国特許番号第5,136,697号に説明され、その開示はここに引用によって援用される。

【0085】III(b) 命令フローデコード、レジスタファイル抽出、発行 命令は1度に1ブロックずつDECODE210に進み、それらのメモリブロック内の位置に対応する命令レジスタ258内の特定の

位置を占める(0=列の最初)。各命令に付随するのには、そのアドレスコード情報および有効ビットである。

【0086】DECODE210の主な機能は、命令を扱う機能ユニットに従って命令を分類し、その命令をそれらの機能ユニットに発行することである。これは、4つの3ビット命令タイプコード(INSTYPn)をすべての機能ユニットにブロードキャストし、何らかの所与のサイクル内で、発行されている各命令のための信号(XINSIDISP(3:0))をアサートすることによって行なわれる。(本明細書で、X指示を伴って現われる信号と、伴わない信号とがある。XINSIDISP信号等のXは、誤ったアサートがバスを放電することを示す。)図3ないし図5に示れるように、マイクロプロセッサ500は、タイプコードを機能ユニットにブロードキャストする目的のために4のタイプバス、INSTYPn(7:0)を含む。特定の命令ブロックの4つの命令の各々についてそれぞれのTYPEバスが設けられる。

【0087】特定の機能ユニットがそのタイプに対応するTYPE信号を検出すると、その機能ユニットは、タイプバスにおいて検出されたタイプ信号の位置に従って、DECODE210の現在の発行ウィンドウ内の現在の命令ブロックの4つの命令のうちのどれを受取るべきかを知る。タイプバスは、DECODE210のそれぞれの発行位置に対応する4つのセクションを有する。その機能ユニットはまた、検出されたタイプに対応する発行情報/バスのそのセクションで起こる操作コード(オペコード)によってその命令のオペランドデータにどの機能を実行するべきかを定める。さらに、機能ユニットはどの命令を実行すべきかがわかっているのも、そのハードウェアをオペランドデータと行先タグとを受取るためのオペランドデータバスおよびそれぞれの行先タグバスDEST、TAG(0:3)と整理させる。

【0088】命令が発行されると、それらの有効ビットはリセットされ、そのタイプは「空」になる。特定のブロックの4つの命令すべてが、命令の次ブロックがフェッチされる前に発行されなくてはならない。ブロックの4つの命令すべてが1度に発行されてもよいが、以下の事象が起こる可能性がある。それよりも起こるので、このプロセスを遅くする。

1) クラスの融合—これは2つまたはそれ以上の命令が同じ機能ユニットを必要とするときに起こる。整数コードはマイクロプロセッサ500にとって重要である。この理由のため、本発明の一実施例は、機能ユニットALU0、ALU1、SHFSEC、BRNSC、LSSEC、FPTSECおよびSRBSECの間でクラスの融合が起こるのを被るために2つのALUを含む。命令は直列化の点でのみSRBSEC512に発行される。言い換えれば、直列に実行されなくてはならない命令のみがSRBSEC512に送られる。

2) 機能ユニットが命令を受取ることができない

3) レジスタファイル(RF)235のポートが利用可能でないこの実施例において、8つのオペランドバスを与えるために通常考えるような8つではなく4つのRF読出ポートしか存在しない。命令の多くはレジスタファイル235から2つのオペランドを必要とすることではなく、またはROB240によるオペランド転送によって満たされるために、読出ポートの数がこのように少ないことは最初考えるほどは制限的ではないことがわかった。たとえば8つの、より多くのRF読出ポートを用いて、レジスタファイルポートが利用可能でない状態が起る可能性を避けるような、この発明の他の実施例も企図される。

4) リオーダーバッファ240におけるスペースの欠如—各命令は対応するリオーダーバッファのエントリを持たなくてはならず(または倍および拡張精度浮動小数点命令の場合のように、2つのリオーダーバッファエントリが設けられる)、リオーダーバッファはROBSTAT(3:0)によって、予測された命令のうちのいくつに場所を見つけられるかを示す。図3および4に示されるように、ROBSTAT(3:0)と示される状態バスが、リオーダーバッファ(ROB)240とデコーダ(DECODE)210との間に結合される。ROBSTAT(3:0)は、ROBからDECODEに、4つの現在の命令のうちのいくつが割当てられるROBエントリを有するかを示す。ここでROBのエントリを充満することが可能であることに注目されたい。

5) 直列化—命令の中には逐次状態を守る機構の範囲を超えた状態を変更するものがある—これらの命令(たとえばMTSR、MFSR、IRET命令)は周りの命令に関してプログラム順に実行されなくてはならない。【0089】上に挙げた5つの状態のうちの1つが起れば、影響を受ける命令は発行を停止し、後続の命令は、それらを抑えるものがない限り何ともなく発行されない。各発行位置について、機能ユニットにソースオペランドを供給するAおよびBオペランドバスの組(XRDnA/XRDnBBバスとも称される)がある。レジスタファイル235はデコードと並列にPH2でアクセスされ、オペランドがPH1でこれらのバスに送られる。ソースレジスタを変更する命令がまだ実行中であれば、レジスタファイル235内の値は無効である。このことは、レジスタファイル235およびROB240がデータを含まず、したがってタグがデータの代わりとなることを意味する。リオーダーバッファ(ROB)240はこれを追跡し、レジスタファイルアクセスと並列にアクセスされる。オペランドが利用可能でないこと、またはレジスタの競合は発行の際に問題とならないことに注目されたい。ROB240は、予め定められた数のエントリならびに先頭および末尾ポインタを備えた環状バッファとして見なすことができる。

【0090】命令が発行されると、ROB内のエントリがその先行レジスタのために確保される。ROB内の各エントリは、1) 命令の先行レジスタアドレス、2) 命令の結果のためのスペース(これは倍精度動作またはCALLOC/JMPFDECタイプの命令には2つのエントリを必要とするかもしれない)、および例外状態情報および、3) a) エントリが割当てられたこと、b) 結果が戻されたことを示すビットからなる。

【0091】エントリは末尾ポインタから始まって逐次的に割当てられる。割当ビットは、セットされて命令が発行されたことを示す。割当ビットは各ROBエントリと関連付けられる。割当ビットは、特定のROBエントリが未処理の動作に割当てられたことを示す。割当ビットは、エントリが用済となると、または例外が起ると割当から外される。別個の有効ビットが、結果が完了されたレジスタファイルに書き込まれたかどうかを示す。エントリのアドレス(結果または先行タグとも呼ばれる)が発行から実行の間対応する命令に付随し、結果バスの1つを介して命令の結果とともにROB240に戻される。

【0092】より詳細には、先行タグは、命令が機能ユニットに発行されるときに用いられ、結果タグは命令が戻されるとき、すなわち結果が機能ユニットからROBに戻されるときに用いられる。言い換えれば、先行タグは発行された命令に関連し、リオーダーバッファによって機能ユニットに特定の命令の結果がどこにストアされるべきかに関して知らせるために機能ユニットに与えられる。

【0093】より詳細には、命令に関連する先行タグは機能ユニットにストアされ、次に結果バスに転送される。このような先行タグは、これらが結果バスを介して転送されるときにはまだ先行タグとして示される。これらのタグは他の機能ユニットの待合およびステーションでオペランドタグと比較され、このよな他の機能ユニットが特定の結果を必要かどうかを見る。特定の機能ユニットからの結果は、ROB内の対応する相対格論位置に戻される。

【0094】命令の結果は、効果的にこの命令の結果タグとなる命令の先行タグによって識別されるROBエントリ内に置かれる。その特定のROBエントリの有効ビットがセットされる。結果は、レジスタファイルにライバックされる順番が回ってくるまでそこに留まる。エントリが除去されるよりも早くROB240に割当てられることが可能であり、この場合にはROB240は最終的にはフルとなる。リオーダーバッファフル状態は、ROBSTAT(3:0)バスを介してデコーダ210に伝えられる。これにตอบสนองして、デコーダ210はHOLDIFET信号を発生して、命令がICACHE205からフェッチされるのを止める。したがって、ROBフル状態はデコーダ210による発行を止めることが認め

られる。

【0095】オペランドの処理の説明に戻って、ROB 240でライトバックを待っている結果を、もし必要であれば他の機能ユニットに転送することができると共に注目されたい。これは、IDECODE 210内の命令のソースレジスタアドレスをROB内の先行レジスタアドレスと、デコード時にレジスタファイルアクセスと並列して、比較することによって行なわれる。AおよびBソースオペランドに関して起こり、かつ結果有効ビットがセットされている、最も最近のアドレス一致について、ROB 240は対応する結果をレジスタファイル235の代わりに適切なオペランドバスに送る。この一致が起これば、ROB 240は、ROB 240とレジスタファイル235との間のOVERRIDEラインを活性化して、レジスタファイル235に、AおよびBオペランドバスにいかなるオペランドを送らないように指示する。

【0096】たとえば、デコード210が、レジスタR3の内容をレジスタR5の内容に加えてその結果をレジスタR7に置くことを意味するように規定される、命令ADD R3, R5, R7をデコードしていると仮定する。この例において、IDECODE内でデコードされるソースレジスタアドレスR3およびR5は、ROB 240内の先行レジスタアドレスと比較される。この例の目的のため、結果R3がROB 240内に含まれ、結果R5がレジスタファイル235内に含まれると仮定する。これらの状況のもとでは、デコードされた命令内のソースアドレスR3とROB 240内の先行レジスタアドレスR3との比較は肯定である。レジスタR3のためのROBエントリの結果がROB 240から検索され、適切な機能ユニット、すなわちALU0またはALU1の待ち合わせステーションによるラッチのためにオペランドバスにブロードキャストされる。この場合にROBエントリと一致が見いだされるので、レジスタファイル235が、それが含む得る何らかの用途となったR3値でAオペランドバスを駆動しないように、OVERRIDEラインが駆動される。

【0097】この例で、デコードされた命令内のソースアドレスR5とROB 240内に含まれる先行レジスタアドレスとの比較はうまく行かない。したがって、レジスタファイル235内に含まれる結果値R5がBオペランドバスを駆動され、その結果が機能ユニットすなわちALU0に実行のためにブロードキャストされる。AオペランドおよびBオペランドの両方がALU0機能ユニットの待ち合わせステーション内であれば、命令がALU0に投入されて、ALU0によって実行される。結果（結果オペランド）は、この結果オペランドを求めている他の機能ユニットの待ち合わせステーションに送るために結果バス265に置かれる。結果オペランドはまた、その結果のために割当てられたエントリでそこにストア

するためにROB 240にも与えられる。

【0098】所望のオペランド値がまだROB 240になくても（アサートされる有効ビットによって示される）、それでも命令をデコード210によって発行することができる。この場合に、ROB 240は一致するエントリのインデックス（すなわちその結果を最終的に生成する命令の結果タグ）を機能ユニットにオペランドの代わりに送る。ここでもやはり、8つのオペランドバスに対応する効果的に8つのA/Bタグバス（すなわち4つのAタグバスおよび4つのBタグバス、すなわちTAGnAB(4:0)およびTAGnBB(4:0)ここでnは整数である）があることに注目されたい。タグの最上位ビット(MSB)は、タグが有効であるときを示す。

【0099】2つ以上のROBエントリが同じ先行レジスタタグを有するときには、最も最近のエントリが用いられる。これは、可能である並列性を減してしまうであろう独立した命令による先行としての同じレジスタの異なる使用を区別する。（これはライトアフターライトハザードとして知られる）命令のキャッシュ化の際に発生されるプリデコード情報はデコード時に作用し始める。プリデコード情報は、ICACHE 205からPREDECODEラインを介してIDECODE 210に渡されることで認められる。

【0100】プリデコードは以下の態様で行われる。各命令について、ROBエントリの割当を、いくつかのエントリが必要であるかを示すことによって（エントリを1つ必要とする命令もあるし、2つのエントリを必要とする命令もある）連なる2ビットコードを含むプリデコード信号PREDECODEがある。たとえば、加算命令ADD (RA+RB) → RCは、レジスタRC内に置かれるべき単一の3ビット結果のために1つのエントリを必要とする。対照的に、乗算命令DFMULT (RA+RB) (倍精度)は、64ビットの結果を保持するのに2つのROBエントリを必要とする。本発明のこの特定の実施例では、各ROBエントリは3ビット幅である。この2ビットコードはさらに、所与の命令からいくつもの結果オペランドが生じるかを示す（すなわち、なし一分岐等、1—ほとんどのもの、または2—倍精度）。プリデコード情報は、レジスタファイルアクセスがAおよびBオペランドに必要であるかどうかを示す2つの付加的なビットを含む。したがって、マイクロプロセッサ500において3ビット命令につき4ビットのプリデコード情報がある。これらのビットはPH 2のアクセスに先立って、PH1でレジスタファイルポートの効率的な割当を可能にする。命令が必要とするレジスタファイルポートを割当てられていないが、ROB 240がオペランドを転送できることを示していれば、いずれにしても命令は発行され得る。

【0101】IIII(c) 命令フロー—機能ユニット

ト、待合わせステーション] 図3ないし図5は、マイクロプロセッサ500のすべての機能ユニットが共通のデータ処理バス535上にあることを示す。データ処理バス535は、その比較的広いバンド幅のために高速のバスである。各機能ユニットにはその入力で2つの待合わせステーションが備えられている。より多いまたは少ない待合わせステーションが機能ユニットで用いられる本発明の他の実施例も企図される。

【0102】整数ユニット515は算術論理装置ALU0およびALU1を含む。ALU0には待合わせステーション540が設けられ、ALU1には待合わせステーション545が設けられる。分岐ユニット520(BR NSE)にはその入力で待合わせステーション550が供給される。浮動小数点ユニット(FPTSEC)525は、浮動小数点加算ユニット555を含み、これには待合わせステーション560が設けられる。浮動小数点乗算ユニット575はさらに、浮動小数点変換ユニット565を含み、これには待合わせステーション570が設けられる。浮動小数点ユニット525はさらに、浮動小数点乗算ユニット575を含み、これには待合わせステーション580が備えられる。最後に、浮動小数点ユニット525はさらに、浮動小数点除算ユニット585を含み、これにはその入力で待合わせステーション590が備えられる。ロード/ストアユニット530もまた、データ処理バス535上に存在し、待合わせステーション600を含む。

【0103】図3ないし図5に示されるように、各機能ユニットへの主入力(すなわち機能ユニットと関連する各待合わせステーションへの入力)は、以下の主データ処理バス535を構成するバスによって与えられる、すなわち

- 1) I DECODE 210からの4つのOP CODE バス (INSOPn (7:0)として示され、nは0ないし3の整数である)
- 2) I DECODE 210からの4つの命令タイプバス (INSTYPn (7:0)として示され、nは0ないし3の整数である)
- 3) I DECODE 210からの4つの4ビット発行ベクトルバス (XINSDISP (3:0)として示される)
- 4) A オペランドバスおよびB オペランドバスの4つの対 (XRDNAB/XRDNBB (31:0)と示され、nは0ないし3の整数である)
- 5) 関連するA/Bタグバスの4つの対 (TAGNA B/TAGNBB (4:0)と示され、nは0ないし3の整数である)
- 6) 3つの双方向結果オペランドバスを含む結果バス 265 (XRESOB (31:0)、XRES1B (31:0)、XRES2B (31:0)として示される)
- 7) 2つの結果タグバス (XRESTAGOB/SR

ESTAG1B (2:0)として示される) および 8) 2つの結果状態バス (XRESSTATOBおよびXRESSTAT1B (2:0)と示される) である。

【0104】1つ以上の待合わせステーションが上述の機能ユニットの各々の前部に置かれる。待合わせステーションは、本質的には、機能ユニットによる実行を待ちながらそこで命令が待ち行列にされる先入れ先出し (FIFO) バッファである。命令がオペランドの代わりタグを伴って発行されれば、または機能ユニットが停止またはビジー状態であれば、命令は待合わせステーションで待ち行列にされ、後続の命令はその後で待ち行列にされる(特定の機能ユニット内の投入は金ごの順番通りであることに注目されたい)。待合わせステーションが満了すれば、これを示す信号がI DECODE にアサートされる。これは、同じタイプの別の命令に出会えば、発行を止める。

【0105】命令の発行は以下のように起こる。各待合わせステーションは対応する命令タイプに関して命令TYPEバスを(PH2で) 観察する待合わせステーション論理を含む。待合わせステーションは、対応するオペコード、AおよびBオペランドならびにAおよびBオペランドタグバスを、このような命令タイプに出会えば選択する。関連する機能ユニットで実行する2つ以上の命令が認められれば、プログラム順に関して先の命令が優先される。しかしながら、対応する発行ビットがセットされていることを認めるまで(PH1でXINSDISP(n))、命令は待合わせステーションに受け入れられない。

【0106】この時点で、必要とされるオペランドが利用可能であり、かつ機能ユニットが何らかの理由のために停止されているわけでも、またはビジーであるわけでもなく、さらに前の命令が待合わせステーションで待っていないれば、命令は直ちに同じクロックサイクル内で実行に移る。そうでなければ、命令は待合わせステーションに置かれる。命令がオペランドの代わりにオペランドタグを、伴って発行されれば、待合わせステーション論理は、オペランドタグを結果タグバス (XRESTAGOBおよびXRESTAG1B) で現われる結果タグと比較する。一致が認められれば、その結果が結果バス群265の対応する結果バスから取り入れられる。この結果は次に、命令を投入するの可能な限り機能ユニットに転送される。そうでなければ、結果はオペランドとして待合わせステーションに置かれ、ここで命令を完了するのを助け、対応するタグ有効ビットはクリアされる。両方のオペランドが、汎用結果バスのいずれかまたは両方から同時に転送され得ることに注目されたい。

【0107】結果バス265を形成する3つの結果バスは、2つの汎用結果バスXRESOB (31:0) およびXRES1B (31:0) を含み、さらに分岐および

ストア専用の1つの結果バスXRES2B(31:0)を含む。結果バスXRES2B(31:0)は分岐およびストア専用なので、これが処理する結果(たとえば分岐PCアドレス等)は転送されない。機能ユニットは結果バスXRES0B(31:0)およびXRES1B(31:0)をモニタし、一方オードバッファ(RB)240は3つの結果バスすべてをモニタする。

【0108】命令が待合わせステーションで待つ際に、何らかの有効オペランドタグも同様に結果タグと比較され、同じような転送が行なわれる。機能ユニット間および機能ユニット内での結果の転送がこの態様で行なわれる。待合わせステーションと関連して、このタグの付与によって、従属性の適切なシーケンシングを維持しながら、異なる機能ユニットで順序通りでない命令の実行を可能にし、さらにオペランドハザードが無関係の後の命令の実行をブロックすることを防ぐ。命令タイプおよびA/BタグはPH2で利用可能であり、一方投入する決定は後続のPH1で行なわれる。

【0109】待合わせステーションのオペランドは、これらが送られた実際のオペランドデータでなければ、タグおよび有効ビットを有する。言い換えれば、命令が待合わせステーションに発行され、かつ特定のオペランドがまだ利用可能でなければ、そのオペランドに関連するオペランドタグが実際のオペランドの代わりに待合わせステーションに与えられる。有効ビットは各オペランドタグと関連する。結果が機能ユニットで完了すると、結果は他の機能ユニットおよびROB240に結合される結果バスに与えられる。結果は待合わせステーションのオペランドタグと比較されて、ヒートが起これば、タグ有効ビットがクリアされて、結果バスからのオペランドは、オペランドに対して指定された機能ユニットの位置に転送される。言い換えれば、待合わせステーション内の何らかのエントリに一致する結果タグ0および1におけるタグ比較が値をそのステーションに転送する。

【0110】どの命令源(待合わせステーションまたは待合わせステーションに結合される4つの入来するバスのうちの1つ)が局所的デコードの次の候補であるかを定め、待合わせステーションの先頭にあるエントリに関する待合わせステーション有効ビットおよびデコード/優先命令タイプバスを調べることによってPH2で投入が行なわれ、この際に待合わせステーションのエントリが優先する。待合わせステーションを2つ有する機能ユニットでは、その2つの待合わせステーションは先入れ先出し(FIFO)構成を形成し、待合わせステーションに発行される第1の命令がFIFOの先頭を形成し、FIFOに発行される最後の命令がFIFOの末尾を形成する。

【0111】機能ユニットによる局所的デコードとは、タイプバスをモニタすることによって、機能ユニットがまず、そのタイプの命令が発行されていることを定める

ということの意味する。一旦機能ユニットが、それが処理すべき命令を識別すると、機能ユニットはオペコードバス上の対応するオペコードを調べて、機能ユニットが実行すべき正確な命令を判断する。

【0112】本発明のこの実施例では、実行時間は、特定の命令タイプおよびその命令を実行する機能ユニットに依存する。より具体的には、実行時間は、すべてのALU、シフト、分岐動作およびキャッシュヒットするロード/ストアの1サイクルから、浮動小数点、ロード/ストアミスおよび特殊レジスタ動作のための数サイクルにまでわたる。特殊レジスタとは、再指定されない何らかの汎用でないレジスタと規定される。

【0113】機能ユニットは以下のように結果バスに対して調停する。結果バス2は、オペランドを戻さないストアのため、および計算されたターゲットアドレスを戻す分岐のために用いられる。分岐には優先順位があることが認められる。汎用結果バス0および1は、ALU0またはALU1のいずれからか、シフトユニット510から、浮動小数点ユニット525からの結果とロードおよび特殊レジスタアクセスとを扱う。

【0114】結果バス0(XRES0B(31:0))とも示される)および結果バス1(XRES1B(31:0))とも示される)へのアクセスを得ることに関する機能ユニット間の優先順位は、図6に示される。図6の表において、「DPの下位半分」という用語は、倍精度数の下位半分を意味する。マイクロプロセッサ500は、倍精度(DP)数を送るのに32ビットオペランドバスを用いる。より具体的には、倍精度数がオペランドバスを介して伝送される時、その数は2つの32ビット部分、すなわち上位32ビット部分と下位32ビット部分とで伝送される。上位および下位部分は、一般に2サイクルで2オペランドバスを介して伝送される。機能ユニットによる特定の結果バスに対するアクセスのリクエストの拒否は、その機能ユニットを停止させ、待合わせステーションフル状態としてデコードにされるために戻り得る。

【0115】結果は、結果のタイプ(なし、通常または例外、および命令固有のコード、すなわちデータキャッシュミス、アサートトラップおよび分岐誤予測)を示す3ビット状態コード(RESULT STATUS)を含む。一実施例では、結果はまた、そのユニットおよび命令に依存して、32ビット結果オペランドおよび詳細な実行または例外状態を含む。結果バス23は、結果をROB240に戻すため、および結果を機能ユニットの待合わせステーションに転送するために用いられる。結果情報のすべてがROB240にストアされるが、機能ユニットは結果状態コードおよび結果オペランドを見るだけである。

【0116】ほとんどの機能ユニットは上述の態様で動作する。しかしながら、特殊レジスタブロックセクショ

ン(SRBSEC)512およびロード/ストアセクション(LSSEC)530は、いくぶん異なる。SRBSEC機能ユニットは、頻繁には更新されずかつレジスタ再指定によってサポートされない状態および制御レジスタ等のマシン状態情報を保持する。SRBSEC512の特殊レジスタへの、およびそこから動きは、周りの命令に関して常に直列化される。したがって、SRBSECは、別個の機能ユニットでありながら、直列化のためにオペランドが常にレジスタファイル235から利用可能であるので、待たせステーションを必要としない。SRBSEC機能ユニットによって実行される命令の例には、「スペシャルレジスタへ移動」MTSR、および「スペシャルレジスタから移動」MFSR命令がある。直列化を必要とするこのような命令を実行する前に、マイクロプロセッサ500は、この命令の前のすべての推論状態を直列化するか、または実行する。アドバンスト・マイクロ・ディバイス・インコーポレイテッドによって製造されるAM29000マイクロプロセッサで用いられるのと同じ特殊レジスタブロックを、SRBSEC512として用いてもよい。

【0117】ロード/ストアセクションLSSEC530は、他の機能ユニットと同じ態様で待たせステーションを用いる。ロード/ストアセクション530は、データキャッシュ245からのデータのロードおよびデータキャッシュ245におけるデータのストアを制御する。しかしながら、命令の実行に関して、これは最も複雑な機能ユニットである。LSSECは、データキャッシュ(DCACHE)245およびメモリ管理ユニット(MMU)247と密に結合する。マイクロプロセッサ500は、データキャッシュ245または主メモリ255を変更する何らかの動作が完了となり得ないように設計される。さらに、このような変更は、周りの命令に関してプログラム順に起こらなくてはならない。このことは、すべてのストアおよびデータキャッシュでミスしているロードの実行がROB240内のリタイア論理242と協調しなくてはならないことを意味する。このことは、対応するROBエントリにROBリタイア論理が出力までこれらの動作が待ち行列にされるFIFOである、アクセスバッファ605と呼ばれる機構を用いて行なわれる。

【0118】データキャッシュ(DCACHE)245として用いることができるデータキャッシュの1つ、およびロード/ストアセクション(LSSEC)530として用いることができる1つのロード/ストアセクションは、同時係属中であり本読受人に譲渡された「高性能ロード/ストア機能ユニットおよびデータキャッシュ」(“High Performance Load/Store Functional Unit And Data Cache”)と題される米国特許出願連続番号第146,376号に記載され、その開示はここに引用によって援用される。命令キャッシュおよびデータキャッ

シのアドレス指定に関するさらなる情報は、同時係属中であり、本読受人に譲渡された「線形アドレス可能なマイクロプロセッサキャッシュ」(“Linearly Addressable Microprocessor Cache”)と題される同時係属中の米国特許出願連続番号第146,381号に記載され、その開示はここに引用によって援用される。

【0119】アクセスバッファ605はLSSEC530内に位置される。一実施例において、アクセスバッファ605はミスしているロードまたはストア(ヒット/ミス)の2-4ワードFIFOである。ヒットしているストアは、それが実行されるべき次のものとなるまで書込まれない。しかしながら、アクセスまたはストアバッファによって、この状態は一時記憶装置に保持されることが可能となり、これはROBがレジスタ参照を転送するのと類似した態様でデータ参照を転送することができる。アクセスバッファは最後に、アクセスバッファの内容がプログラム順で次であるときにデータキャッシュ245(CACHE)に書込む。言い換えれば、アクセスバッファまたはストアバッファは、他のロード/ストア命令が処理され続けることが可能であるように1つまたはそれ以上のロード/ストア命令をストアするFIFOバッファである。たとえば、アクセスバッファ605は、後続のロードがロード/ストアユニットLSSEC530によって実行されている一方で、ストアを保持することができる。

【0120】ストアバッファとしても知られるアクセスバッファ、およびデータキャッシュと関連して用いられるロード/ストア機能ユニットは、同時継続中で本読受人に譲渡された「高性能ロード/ストア機能ユニットおよびデータキャッシュ」と題される同時係属中の特許出願により詳細に述べられ、その開示はここに引用によって援用する。

【0121】ROBリタイア論理242の機能は、どの命令がROB240からレジスタファイル235へと格納されるべきであるかを定めることである。ROBエントリのこの格納の基準は、エントリが有効かつ割当てられること、結果が機能ユニットから戻されていること、およびエントリが誤予測または例外事象でマークされていないことである。

【0122】ストア動作は2つのオペランド、すなわちメモリアドレスおよびデータを必要とする。ストアが投入されると、これはLSSEC待たせステーション600からアクセスバッファ605へと転送され、ストア結果状態がROB240に戻される。ストアは、データがまだ利用可能でなくとも投入され得るが、アドレスはそこになくなくてはならない。この場合、アクセスバッファは待たせステーションと類似した態様でタグを用いて、結果バス235からストアデータを選択する。ストアが投入される際、メモリ管理ユニット(MMU)247で高速交換バッファ(TLB)615のロックアップ

が行なわれ、データキャッシュがアクセスされてヒットについてチェックする。

【0123】MMIOからの物理アドレスおよび仮想アドレスのページ部分は、データキャッシュからのステータス情報とともにアクセスバッファに置かれる。言い換えれば、キャッシュは物理的にアドレスされる。TLBミスが起こると、これは結果状態に反映され、適切なトラップベクトルが結果バス2に送られ、この時点では他の動作は行なわれない。(ロードに関するTLBルックアップも同じように行なわれるが、何らかのトラップベクトルは結果バス1に進む。)トラップベクトルは例外である。マイクロプロセッサ500はTLBトラップを取込み、新しいページを物理メモリにロードして、TLBを更新する。この動作には数百サイクルかかる可能性があるが、比較的頻発には起こらない事象である。マイクロプロセッサ500はPCを止めて、マイクロプロセッサレジスタをストアし、ベクトルを実行して、レジスタ状態を復元し、割込リターンを実行する。

【0124】ストアがアクセスバッファの先頭に達すると(次いで空であればすぐに行なわれる)、ROB240が、対応するROBエントリが用済みの段階に達したことを示すLSRETTIREと符号を付される信号をアサートし、次いでキャッシュアクセスを進める。しかしながら、キャッシュが前のリフィルを完了させること、またはコーレレンシー動作を行なうことでビジー状態であれば、遅延され得る。一方、ROB240は動作を続け、別のストア命令に出会うかもしれない。LSSECがそれを完了する準備ができる前にそのストア命令が用済とされないようにするために、以下のようにハンドシェイクが用いられる。LSSEC530はROB240に、LSDONEをアサートすることによってLSSECが動作を完了したときを示す信号を与える。ROB240は、前のストアが用済とされたからLSDONEを認めていなければ、ストア(またはロード)を停止することが認められる。

【0125】データキャッシュ245においてヒットしているロード動作は、ROB240と協調されなくてもよい。しかしながら、ミスはROB240と協調されて、不要なリフィルおよび誤予測された分岐を越えての無効な外部参照を避けることはならない。ロードが投入されると、(キャッシュがビジー状態でなければ)キャッシュアクセスがすぐに行なわれる。キャッシュにおいてヒットがあれば、結果が通常状態コードとともに結果バスを介してROBに戻される。ミスがあれば、ロードはアクセスバッファ605に置かれ、ロードミスの結果コードが戻される。ROB240のリタイア論理242がこの条件に出会えば、これはLSRETTIREをアサートして、ロード有効結果状態コードとともに結果バスに置かれている所望のワードから、これが現われるとすぐにリフィルが始まる(リフィルが終了するのを待

たない)。ROB240は、ストアの場合のようにLSRETTIREをアサートする際にロードを用済とできないことが認められる。その代わりに、ROB240はデータが戻るのを待たなくてはならない。

【0126】ロードは、アクセスバッファにおいて待っている、前の未完了のスト動作があっても処理され得る。ストアに関して順序通りでなくロードを行なうのを可能にする際に、マイクロプロセッサ500はロードが(プログラム順に関して)前のストアによってこれから変更される位置からは行なわれないことを確実にする。このことは、ロードアドレスをアクセスバッファ605内の何らかのストアアドレスと、キャッシュアクセスと並列して、比較することによって行なわれる。どれも一致しなければ、ロードは進められる。1つ一致するものがあれば(2つ以上の場合には最も最近のエントリ)、ストアデータがアクセスバッファ605からキャッシュデータの代わりに結果バス265に転送される。起こっているかもしれない何らかのキャッシュミスは無視される(すなわちリフィルは起こらない)。ストアデータがまだ存在しなければ、ロードはストアデータが到着するまで停止される。さらに、これらの動作は、望ましいことにはメモリアクセスが不必要に並列性を損なうことを防ぐ。

【0127】ここでさらにロード/ストアについて検討する。1Kバイトおよび2Kバイトページサイズに関して、高速変換バッファ(TLB)のルックアップが、キャッシュアクセスに先立って行なわれる。これはさらなるサイクルのロード/ストア待ち時間を起こす。LSSECがロードまたはストアを「完了する」とき、これは関連するキャッシュ動作が完了すること意味しないことに注目されたい。そうではなく、ICACHEまたはDCACHE、BIU、および外部でリフィル等の動作がまだあるかもしれない。

【0128】アクセスバッファ転送は、部分ワードロード/ストア動作のためには行なわれない。ワードアドレス一致が検出され、かつロードとストアの間で何らかのオーバーラップがあれば、ロードはキャッシュのように見えるようにされ、ストアの後に実行されるようにアクセスバッファ605で待ち行列にされる(実際にはキャッシュでヒットしているかもしれないし、していないかもしれない)。オーバーラップをなければ、ロードはアドレス一致がなかったかのように進められる。

【0129】ロード/ストアマルチ命令は、直列化の態様で行なわれる。すなわちロード/ストアマルチ命令が実行されているとき、他のどの命令も並列して行なわれないことが認められる。ロードまたはストア(ロード/ストア)マルチ命令は、レジスタファイルへの、またはそこからブロックの動きである。この命令は、所与のアドレス、所与のレジスタ、およびカウントフィールドを含む。ロード/ストアのマルチ命令の一例に、LOA

DM (C, A, B) があり、Cは先行レジスタ、Aはアドレスレジスタ、およびBは転送の数である。

【0130】ロードミスは必ずしもリフィルを起こさないことも認められる。その代わりに、ページはキャッシュ不可能としてマークされるかもしれない、ロードがアクセスバッファから満たされているかもしれない。

【0131】【III (D) 命令フローリオーダーバッファおよび命令リタイア】結果がROB240に戻されると、これらは結果タグによって特定されるエントリに書込まれ、これはROBの先頭および末尾ポイントの間の何らかの場所にある。ライトバック、ストアおよびロードミスの実行、トラップおよびPC0、PC1およびPC2の更新を制御するリタイア論理242は、プログラム順に有効結果を伴うエントリを見る。

【0132】PC0、PC1およびPC2は、DEC、EXECおよびWRITEBACK0、1の値を含むマッピングレジスタである。信号DEC、EXECおよびWRITEBACK0、1は、スラカM29000パイプラインからの段階であるデコード、実行およびライトバックを指し、AMD29000は、アドバンス・マイクロ・ディバイス・インコーポレイテッドから入手可能なマイクロプロセッサである。これらの信号は、実行の際にパイプラインを再始動させるのに用いられる。遅延分岐のために2つ以上のPCが用いられる。PC0、PC1およびPC2は、割込またはトラップの際に用いられ、分岐誤予測または例外に出会うとマイクロプロセッサ500が戻り得る、DEC、EXECおよびWRITEBACK0、1の古い値を保持する。PC0、PC1およびPC2は、パイプラインを再始動させるために割込リターンの際に用いられ、リオーダーバッファ240内のリタイア論理242内に含まれる。PC1は現在のリタイアPCをマッピングする。

【0133】通常の結果を有するエントリに出会えば、結果オペランド (もしあれば) がエントリにおいて特定されたレジスタファイル (RF) 235の位置に書込まれる。RF書込ポート (WR) は2つあるので、2つのオペランドが同時にレジスタファイルに格納され得る。ROB240は、さらに1つのストアおよび1つの分岐を併用とすることができ、最大で4つの命令を1マイクロプロセッササイクルについて併用とできる。

【0134】CPSビットおよびFPSスティッキービット等の他の状態は、この時点で更新され得る。CPSは現在のプロセッサ状態を指し、CPSはプログラム状態および条件コードレジスタを示す。FPSは浮動小数点状態レジスタビットを指す。FPSは、浮動小数点機能ユニット525のための状態/条件コードレジスタを示す。FPSスティッキービットは、セット条件によってセットされ、クリア条件でクリアされないビットのことである。FPSスティッキービットは、浮動小数点数の丸め制御のために用いられる。たとえば、マイクロ

プロセッサ500が値を減算するか、またはシフトすれば、いくつかの最下位ビット (LSB) が仮数部からシフトされる。FPSスティッキービットは、この条件が起ったという指示を与える。

【0135】その結果がまだ戻されていないROB240内のエントリは、結果が戻ってくるまでそれ以上の処理を停止させる。そのエントリを越えるものは、たとえ有効であっても併用とはされない。ストア結果に出会えば、ROB240は、実際にストアを行なって命令を併用とするようにロード/ストアセクションにゴアヘッド指示を与える。ロードミス結果に出会えば、ROB240はロードを実行するようにゴアヘッド指示を与える。ロードが完了すると、要求されたロードオペランドはROB240にロードヒット状態とともに戻され、これが命令を併用とすることを可能にし、そのオペランドを待っている何らかの待ち合わせステーションによって認められる。分岐結果に出会えば、ROB240はこれを用いてPC1を更新する。

【0136】マイクロプロセッサのアーキテクチャ状態は、プログラム内のリタイアPCの現在の状態である。マイクロプロセッサの推論状態は、FETCHPCの現在の値、デコードおよびリオーダーバッファ内のエントリのすべてである。これらは、ダイナミックに更新される現在の命令の推論キューである。例外または誤予測の際に、すべての推論状態はクリアされるが、アーキテクチャ状態は、これがレジスタファイルの現在の状態なので、クリアされ得ない。

【0137】誤予測分岐遅延スロットを越える命令は、誤予測が明らかとなる前に実行され得ることを先に述べた。この発生は、ROB240によって区別される。誤予測が検出されると、いかなる未発行の命令もクリアされ、フェッチャ257が再び指示される。どの機能ユニットも誤予測を知らされない (しかしながら分岐ユニット520はその待ち合わせステーション550内の何らかの有効エントリにおける「キャンセル」ビットをセットし、そのためこれらの分岐は皆を受けずに実行され、誤予測を起こすことなくROB240に戻される)。

【0138】このような誤予測が起こると、ROB内の対応するエントリは誤予測されたものとして割当てられる。後続のエントリが機能ユニットから返送されるとき、これらは完了されているが誤予測されたものとしてマークされる。リオーダーバッファ240内のリタイア論理242は、これらのエントリを無視して、割当から外す。

【0139】同時に、発生/非発生および正確/不正確な予測を示す分岐結果状態がROB240に戻される。誤予測の結果は、ROBに、分岐エントリの後の2目から (遅延スロットを考慮して) 末尾ポイントまでのすべてのエントリのキャンセルビットを直ちにセットさせる。この発生に続く第2のサイクルで、デコードがター

ゲット命令を発行し始め、これには通常通り末尾ポインタから始まってタグが割当てられる。キャンセルされたエントリにROBリタイア論理242が出会えば、これらは破棄される。ロード/ストアユニット530は、ROB240とロード/ストアセクションLSSEC530との間のLSCANCELラインを介して伝送されるLSCANCEL信号によってROBからゴアヘッドで、待っている何らかのキャンセルを知らされる。LSCANCEL信号は、キャンセルされるべきアクセスバッファ605内の何らかの未処理のストアまたはロードミスを示す。アクセスバッファ605はFIFOとして動作して、次に古いストアはキャンセルされる命令である。ロード/ストアセクションLSSEC530およびアクセスバッファ(ストアバッファ)605として用いてもよいロード/ストアセクションおよびアクセスバッファの1つに関してのさらなる詳細は、「高性能ロード/ストア機能ユニットおよびデータキャッシュ」と題される同時係属中の米国特許出願連続番号第146,376号に記載され、その開示はここに引用によって援用される。

【0140】ある特定の命令の実行の際に例外が起これば、どのグローバルアクションも要求されない。例外状態は単に、ROB240に戻される結果状態に反映される。適切なトラップベクトル数が、一般に通常の結果オペランドの代わりに戻される(これはRF更新が禁じられないときを除き、この場合にはROBはベクトル数を発生する)。トラップベクトル数とは、様々な種類のベクトルのうちのどれが起ったか、および特定のトラップの発生の際にどこに行くべきかを示す数である。トラップの発生となる典型的な例は、0での除算、算術的オーバーフロー、およびTLBページの欠如がある。RO

B240が命令を円済とする処理の際に例外状態に出会えば、これは、ROB240からのすべてのエントリをクリアし、すべての機能ユニットにEXCEPTION信号をアサートしてこれら(およびIDECODE)をクリアし、Vfビットについてトラップベクトルを発生し、フェッチャ257に処理コードをトラップするように再び指示を与えることからなるトラップ動作を始める。Vfビットは、トラップが外部フェッチとして(ベクトルテーブルからのロードとして)発生すべきか、または定数をベクトル数と連結させて内部的に発生されるべきかを示す。Vfビットは、アドバンス・マイクロ・デバイス・インコーポレイテッドのAm29000マイクロプロセッサシリーズのアーキテクチャの特徴である。

【0141】レジスタファイル235内にストアされたデータは、マイクロプロセッサの現在の実行状態を表わすことがわかる。しかしながら、ROB240にストアされたデータは、マイクロプロセッサの予測実行状態を表わす。命令が円済とされるべきとき、ROB240にストアされた対応する結果が、レジスタファイル235に送られ、それから円済とされる。

【0142】【III(E) 命令フロータイミング】命令フローのタイミングに関して、スーパースカラマイクロプロセッサ500の動作を説明するために、以下の表2が与えられる。表2は、マイクロプロセッサ500のパイプラインステージと、これらの各ステージの間に起こる重要な事象とを示す。パイプラインの段階は、表2の第1の列に挙げられる。

【0143】

【表2】

1) フェッチ	PH1	命令フェッチアドレスが形成される(フェッチPC(FPC))。
	PH2	ICACHEがアクセスされる。
2) デコード	PH1	命令ブロックがXINBでデコードするように送られる。レジスタファイルポートが割当てられ、スタックポインの付加が行なわれる。
	PH2	命令が分類され、実行が確立される。オペコード、タイプおよびオペランドがユニットにロード/キャッシュされる。レジスタファイルがアクセスされる。R/RBフィールドがROBの内容に対してチェックされる。
3) 実行	PH1	A/BオペランドバスがR/R/ROBによって駆動されるか、またはオペランドバスが結果バスによって選択されて、実行ビット(XINBISD)がスタートされる。命令が実行されるか、または待合せステーションに置かれる。結果バスがリクエストされる。
	PH2	命令が実行される。機能ユニットがその待合せステーションの発行のフル/空状態を信号で伝える。[分岐予測が決定される(PH2の選に)]。
4) 結果転送	PH1	機能ユニットに結果バスが許可され、結果が結果バスを介してROBに送られる(何らかのユニットへ結果バス転送のために利用可能となる)。「フェッチPC(FPC)が正しいターゲットPCで更新される」。
	PH2	ROBが格納のためのエントリを調べる[分岐先に関するキャッシュアクセス]。
5) ライトバック	PH1	結果がレジスタファイルに送られライトバックされる。PC1が更新される[分岐先ブロックがデコードに送られる]。
	PH2	[分岐先ブロックはデコード中である]

【0144】表2は、機能停止のない、マイクロプロセッサ500における基本的な整数命令の流れにおいて各相(各マイクロプロセッササイクルのPH1およびPH2)で何が起こるかとは分岐訂正タイミング(かつこ内)を示す。

【0145】【III(F)】メモリ管理ユニット、データキャッシュおよびバスインタフェースユニット]メモリ管理ユニット(MMU)247は、本質的には、アドバンスト・マイクロ・ディバイズ・インコーポレイテッドによって製造されるAM29050マイクロプロセッサのものと同一である。MMU247は、命令フェッチおよびデータアクセスのために仮想アドレスを物理アドレスに変換する。AM29050とマイクロプロセッサ500との命令フェッチに関しての違いは、AM29050では、分岐先キャッシュBTCへの参照の際にMMUを調べられるが、一方、マイクロプロセッサ500は分岐先キャッシュを用いず、BTC参照のためにMMUを調べない。分岐先キャッシュは、分岐先のみをキャッシュである。分岐先キャッシュは、アドバンスト・マイクロ・ディバイズ・インコーポレイテッドが製造するAm29050マイクロプロセッサのスカラバイバイラインの一部を形成する。BTCは、1クロックサイクルにつき1度命令をフェッチする。

【0146】命令フェッチアドレス変換のためのMMU247の必要をさらになくすために、ICACHE205は、キャッシュミスの際にICACHEが参照する1

エントリ高速変換バッファ(TLB)615を含む。TLBは、1エントリTLBでヒットしない変換が必要ときにリフィルされる。したがって、TLB615は、MMUからの必要に応じてリフィルされる。MMU247はICACHE205と密に結合されるわけではないので、これはリフィル時間を短縮し、MMUに対する負荷を減じる。

【0147】データキャッシュ245は、物理アドレス、2ウェイセットアソシアティブ8Kキャッシュとして構成される。この実施例では、4Kを下回るページサイズに関しては、アドレス変換がまず行なわれる。この要件は、1Kおよび2Kページサイズについて当てはまり、ヒットしているロードの待ち時間を2サイクルに増大する。しかしながら、キャッシュインデックスにおいて不確かな1ビットを有する4Kページサイズは、キャッシュを2つの4Kアレイに分割して扱われ、これによって2つの可能なブロックへのアクセスが可能になる。4ウェイ比較が、正しいものを選択するためにMMUからの2つの物理アドレスと2つのキャッシュタグとの間で行なわれる。

【0148】データキャッシュ245は、コピーバック/ライトスルーが混合された方法をとる。より具体的には、書込ミスはライトスルーとして行なわれ、割当はなく、書込ヒットは、ロードによって前に割当てられたブロックに対してのみ起こり、キャッシュコヒーレンシーに依存してライトスルーを起こし得る。マイクロプロセ

ッサ500は、マルチプロセッサシステムおよびMOESIモード・ディファイド・オーンド・エクスクルーシブ・シェアード・インバッド（フューチャバース）プロトコルを用いるキャッシュ可能メモリの効率的なI/Oのためにデータキャッシュコヒーレンシーをサポートする。MOESIプロトコルは、特定のキャッシュブロックの5つの状態のうちの1つを示す。図3ないし図5のマイクロプロセッサ500がMOESIプロトコルを用いるのに対して、後述の図10および11に示されるマイクロプロセッサは類似したMESIプロトコルを用いる。

【0149】バスインタフェースユニット（BIU）260は、アドバンスド・マイクロ・ディバイス・インコーポレイテッドが製造するAMD29030マイクロプロセッサと同じ外部インタフェースを用いる。さらに、BIU260は、アドレス、命令、およびデータのために単一の内部32ビットバス、すなわち内部アドレスデータ（IAD）バス250を用いる。

【0150】この特定の実施例では、外部メモリとも称される主メモリ255は、I/Oとデータ/命令とのみを区別する単一の平らなスペースである。示される特定の実施例では、メモリ255はリードオンリーメモリ（ROM）を含まず、命令とデータとの区別を行なわない。他のタイプの外部メモリの構成を、主メモリ255として用いてもよい。

【0151】図3ないし図5に示されるように、BIU260、ICACHE205、DCACHE245、MMU247およびSRBSEC512は、すべて32ビットIADバス250によって結合される。IADバス250は、キャッシュミスおよびコヒーレンシー動作の際の外部アクセスのために、主にBIU260とキャッシュ（ICACHE205、DCACHE245）との間の通信のために用いられる。IADバス250は、アドレスとデータの両方を扱う。これはスタティックバスであり、PH1の間はBIU260が駆動し、PH2の間は他のすべてのユニットが駆動する。IADバス250に対するいかなるリクエストも、図7に示されるバス調停ブロックによって与えられるバス調停および許可を通らなくてはならない。スペースを節約するために、バス調停ブロック700は、図3ないし図5のマイクロプロセッサ500のブロック図には図示しない。

【0152】IADバスの調停は、調停動作の中で第1の優先順位を得るバス観察（キャッシュコヒーレンシーに関与）を含む。IADバスに対するリクエストは、PH1の早く行なわれ、PH1の非常に速くに応答される。機能ユニットがPH1でIADバスを許可されると、後続のPH2の間にアドレスをIADバスに送り、BIUによる動作（たとえば命令フェッチ、ロード）をリクエストし得る。

【0153】IADバス250は、外部バスおよびマイ

クロプロセッサ500内のすべての主要なアレイを互いに連結する。比較的低位波数のアドレス、データおよび制御バスである。IADバス250は、マルチエンジェラへの特殊レジスタ更新、MMU交換、キャッシュフィル、バス観察等の比較的低位波数の動作の転送を与える。本発明の一実施例では、IADバス250は、それにアドレスおよびデータがマルチプレクスされる32ビットを含む。IADバス250はまた、12の制御ライン、すなわちICACHE、DCACHE、TLB、SRBSEC、LSSECおよびBIUの各ブロックについての、それに結合される読出制御ラインおよび書込制御ラインを含む。

【0154】図7に示されるIAD調停ブロック700は、どの構成要素（ICACHE205、BIU260、BRNSEC520、DCACHE245、SRBSEC512またはMMU247）がある特定の時間にIADバス250に対してアクセスを許可されるかを決定するために、リクエスト/許可プロトコルを用いる。BIU260を介して外部メモリ255が、バス観察の目的のために最高の優先順位を許可される。バス観察は、マイクロプロセッサ500のためのデータ一致プロトコルの一部である。マイクロプロセッサ500は、データキャッシュ内に局所的に保持される変更されたデータを含み得るので、このようなデータは、メモリへの書込が起こるときに更新される。マイクロプロセッサ500はまた、データキャッシュ内に局所的に保持される変更されたブロックへの読出が起こると、変更されたデータを与える。バス観察を備えたコピーバック機構が、マイクロプロセッサ500のキャッシュ動作において用いられる。

【0155】図7に示されるように、IAD調停ブロック700とICACHE205、BIU260、BRNSEC520、DCACHE245、SRBSEC512またはMMU247の各々との間に、それぞれのリクエストラインが結合される。これらのリクエストラインの各々は制御論理705に結合され、その出力はドライバ710に結合される。IAD調停ブロック700は、ICACHE205、BIU260、BRNSEC520、DCACHE245、SRBSEC512またはMMU247のためのそれぞれの許可ラインを含む。特定の構成要素がIADバス250へのアクセスを求めると、その構成要素はIAD調停ブロック700と制御705とにリクエスト信号を送る。たとえば、BIUがメモリアクセスを行なうためにIADバス250へのアクセスを得たいと仮定する。この場合、BIU260は、IAD調停ブロック700および制御705にIADバスアクセスリクエストを送る。IAD調停ブロック700は、IADバス250に対するアクセスのリクエストが同時に複数存在するとき、リクエストの優先順位を決定する。調停ブロック700は、優先順位的方式に従っ

てそれがIADバスへのアクセスを許可されるべきだと決定した特定の装置の許可ラインに許可を投入する。この例では、許可信号はBIU許可ラインに投入され、BIU260はIADバス250へのアクセスを進める。

【0156】制御回路705の出力はIADバス250に結合される。以下の構成要素ICACHE205、BIU260、BRNSEC520、SRBSEC512、DCACHE245およびMMU247の各々には、このような構成要素がIADバス250を駆動するのを可能にするドライバ回路710が備えられる。これらの構成要素の各々にはさらに、これらの構成要素がIADバス250からの値をラッチするのを可能にするラッチ715が備えられる。制御ブロック705は、IADバスのためのリクエスト許可プロトコルを与える。機能ユニットは局所的に、IADバスのアクセスが求められていることを認め、調停ブロック700にリクエストを送る。調停ブロック700は最も優先順位の高いリクエストを受取り、それにしたがってアクセスを許可する。ラッチ715は、そのブロックに転送が起こっていれば、リクエストされたデータの読出を示す。ドライバ710は、局所的に利用可能な値の駆動を示し、別のブロックがそれを読出する他の何らかの位置を駆動する。IADバス250へのアクセスを得るためにこのバス調停を通過とある待ち時間が加わるが、それでも許容可能な性能を与えることが見いづけられた。マイクロプロセッサ500にIADバス250を設けることは、IADバスに接続される上述のセクションすべての間に専用の経路を設けることよりもコスト効率はるかに良い。

【0157】図8は、マイクロプロセッサ500のバイプラインの複数の段階を通してその選択された信号の状態を示すタイミング図である。図8は、逐次的処理のためのこのようなバイプラインを示す。対照的に、図9のタイミング図は、マイクロプロセッサ500の同様のタイミング図ではあるが、図9のタイミング図は分岐予測および回復が起る場合のものである。

【0158】より具体的には、図8および図9は、フェッチ、デコード、実行、結果/ROB（結果転送—結果がROBに転送される）、用尽/レジスタファイル（ライバク—オペランドがROBからレジスタファイルに格納される）の5つの実効バイプライン段階を通してのマイクロプロセッサ500の動作を示す。マイクロプロセッサバイプラインの5段階は、これらのタイミング図の上部に横方向に挙げられる。これらのタイミング図を構成する信号は、図の左に縦方向に挙げられ、以下のとおりである。Ph1信号は、マイクロプロセッサ500のクロック信号である。FPC(31:0)はフェッチPCバス(FPC)である。IRO-3(31:0)は命令バスを表わす。タイミング図はまた、ROB内の特定のデコード命令が必要とする特定のオペランドを示すソースA/Bポインタを示す。タイミング図はまた、

レジスタファイル/ROBアクセスを示すRBF/R/OBアクセスを含む。Issue instr/dst tags 信号は、命令/行先タグの投入を示す。A/B read operand buses 信号は、AおよびBオペランドバスを介してのAおよびBオペランドの転送を示す。Funct unit exec 信号は、機能ユニットでの投入された命令の実行を示す。Result bus arb信号は、結果バスに対する調停を示す。Result bus forward信号は、機能ユニットによって結果が発生された後の果バスを介しての結果の転送を示す。ROB write result信号は、結果がROBに書込まれることを示す。ROB tag forward 信号は、ROBから機能ユニットへのオペランドタグの転送を示す。RBF write/retire 信号は、ROBからレジスタファイルへの結果の格納を示す。PC(31:0)信号は、命令がもう推論的なものではないとして用済とされると必ず更新されるプログラムカウンタ(PC)を示す。

【0159】図8のタイミング図では、バイプラインは逐次的な命令ストリームの実行に関して示される。この例では、予測実行経路が実際にとられ、キャッシュから直接利用可能である。簡単に言えば、フェッチバイプライン段階において、命令はマイクロプロセッサによる処理のためにキャッシュからフェッチされる。命令はデコードバイプライン段階でデコードされて、実行バイプライン段階で実行される。ソースオペランドバスおよび結果バスは、整数のサイズに対応する32ビットの幅であることがわかる。命令バスオペランドバスが倍精度浮動小数点演算のために64ビット値を駆動するには2サイクルが必要である。

【0160】結果バイプライン段階では、オペランド値が、結果が発生した機能ユニットから実行のために他の機能ユニットに直接転送される。結果段階のクロック相PH1において、推論命令の位置に、何らかの状態とともに先行結果が書込まれる。言い換えば、機能ユニットによって発生された結果はリオーダーバッファ内のエントリに置かれ、このエントリは、割当てられているとともに有効であるという指示を受けられる。この態様で、リオーダーバッファは、ここでは、要求されたオペランドに関してオペランドタグではなくオペランドデータを通じて直接転送することができる。結果バイプライン段階のクロック相PH2において、新しく割当てられたタグが、タグがそのソースオペランドの1つであることを必要とする後続の命令によって検出される。これは図8のタイミング図において、図8の矢印に示されるようにソースA/BオペランドバスへのROBタグ転送を介した結果「c」の直接転送で示される。図8において、「a」および「b」は結果「c」をもたらすオペランドであり、「c」および「d」は結果「e」をもたらすオペランドであることがわかる。

【0161】バイプラインの最後の段階である用尽バイプライン段階では、リアルプログラムカウンタ(PC)

またはリタイアPCが保持される。用尽パイプライン段階のPH1クロック相において、動作の結果はリオーダーバッファからレジスタファイルに書込まれ、リタイアPCはこのライトバックを反映するように更新される。言い換えれば、リタイアPCは、もう推論的なものではないとしてレジスタファイルに格納されたばかりの命令を含むように更新される。この命令のためのエントリまたはリオーダーバッファ内の結果は割当から外される。エントリが割当から外されるので、レジスタ「c」の後続の参照は、リオーダーバッファからの推論的読出ではなく、レジスタファイルからの読出となる。

【0162】図9は、図8のタイミング図と同じ5パイプライン段階を示すが、図9のタイミング図は、分岐予測が起起こするときのマイクロプロセッサ500の動作を示す。XFPCは、FPCバス信号の反転を示す。

【0163】IV. スーパースカライマイクロプロセッサの代替実施例

上述のスーパースカライマイクロプロセッサの実施例は、命令オペコードがすべて同じサイズであるRISCプログラムを処理するのに最も有利に用いられるが、マイクロプロセッサ800としてこれから説明するマイクロプロセッサの実施例は、オペコードのサイズが可変である命令の処理が可能である。たとえば、マイクロプロセッサ800は、可変長オペコードを用いるよく知られたインテル(Intel) (登録商標) 命令セットによって用いられる、いわゆるX86命令を処理することができる。マイクロプロセッサ800は、上述のマイクロプロセッサ500のRISCコアに類似したRISCコアを用いる。「RISCコア」という用語は、マイクロプロセッサ500の機能ユニット、リオーダーバッファ、レジスタファイルおよび命令デコーダを含む、本質的にRISC(縮小命令セットコンピュータ)のアーキテクチャであるマイクロプロセッサ500の中核を指す。

【0164】マイクロプロセッサ800のアーキテクチャは、インテルX86命令セットに見られるようないわゆるCISC(完全命令セットコンピュータ)命令を取り込み、これらの命令をRISC類似命令(ROP)に変換することができ、これらがRISCコアによって処理される。この変換プロセスは、図10および11に示されるマイクロプロセッサ800のデコーダ805で起こる。デコーダ805はCISC命令をデコードし、CISC命令をROPに変換し、ROPを実行のために機能ユニットに発行する。デコーダ805の動作および構造についてのさらなる詳細は、本読者に譲渡された「スーパースカラ命令デコーダ」(「Superscalar Instruction Decoder」)と題される同時係属中の米国特許出願連続番号第146,383号から見いだされ、その開示はここに引用によって採用される。

【0165】マイクロプロセッサがそのRISCコアに1サイクルにつき多数の命令を供給する能力は、このス

ーパスカラマイクロプロセッサによって提供される素晴らしい性能の向上の理由の1つである。命令キャッシュ(ICACHE)810は、バイトのキューまたはバイトキュー(バイトQ)815としてこの命令供給を行なう。マイクロプロセッサ800の構成要素である。本発明のこの特定の実施例では、命令キャッシュ810は16Kバイト実効4ウェイセットアソシアティブ線形アドレス命令キャッシュである。

【0166】図10および11に示されるように、命令キャッシュ810のバイトQ815は、命令デコーダ805に供給される。命令デコーダ805は、それと与えられる各命令を1つ以上のROPにマッピングする。デコーダ805のROP発行ウィンドウ820は、ICACHE810からの命令がそれにマッピングされ得る4つの発行位置を含む。4つの発行位置は、D、D1、D2、およびD3として示される。第1の例では、デコーダ805にバイトQ815によって与えられる命令は、2つのROP発行位置にマッピングされ得る命令であると仮定する。この場合、この第1の命令がデコーダ805に与えられると、デコーダ805は命令を発行位置D0に与えられる第1のROPと、発行位置D1に与えられる第2のROPとにマッピングする。後続の第2の命令が3つのROP位置にマッピング可能であると仮定する。この第2の命令がデコーダ805にバイトQ815によって与えられると、命令は発行位置D2に与えられる第3のROPと、発行位置D3に与えられる第4のROPとにマッピングされる。発行位置D0ないしD3にあるROPは機能ユニットに発行される。第2の命令がマッピングされる、残っている第3のROPは、このようなROPが発行され得る前に次の発行ウィンドウが処理されるのを待たなくてはならないことがわかる。

【0167】命令キャッシュ810がどの特定のバイトをバイトQ815に送るかに関する情報は、命令キャッシュ810の入力である分岐予測ブロック825に含まれる。分岐予測ブロック825は、ブロック単位で次に予測された分岐位置を示す次ブロックアドレスである。分岐予測機能ユニット835は、図3ないし図5に示されるマイクロプロセッサ500のBRNSEC520と類似した態様で、分岐を実行する。命令キャッシュ810にはまた、外部メモリからクエリされた命令キャッシュミスフェッチするプリフェッチャブロック830が備えられる。

【0168】マイクロプロセッサ800は、デコーダ805の4つのROP位置がそれに投入され得る4つの整数機能ユニット、すなわち分岐機能ユニット835、ALU0/シフト機能ユニット840、ALU1機能ユニット845、および特殊レジスタ機能ユニット850を含む。分岐機能ユニット835は、1クロックサイクルにつき1つの新しいROPが分岐機能ユニット835によって受入れられるように、1サイクルの待ち時間を有

する。分岐ユニット835は2エントリ待合わせステーション835Rを含む。本明細書の目的のため、2エントリを含む待合わせステーションは、2つの待合わせステーションと同じであると考えられる。分岐機能ユニット835は、すべてのX86分岐、コールおよびリターン命令を扱う。これはまた条件付分岐ルーチンを扱う。

【0169】ALU0/シフト機能ユニット840は、1サイクルの待ち時間を示す。1クロックサイクルにつき1つの新しいROPがユニット840に受入れられる。ALU0/シフト機能ユニット840は、2つまでの推論ROPを保持する2エントリ待合わせステーション840Rを含む。すべてのX86算術および論理計算は、この機能ユニットまたはその代わりに他方の算術論理装置ALU1 845に渡る。さらに、シフトローターまたはファインドファーストワンのような命令は、ALU0/シフト機能ユニット840に与えられる。

【0170】ALU1機能ユニット845もまた、1サイクルの待ち時間を示す。1クロックサイクルにつき1の新しいROPがALU1機能ユニット845によって受入れられることがわかる。ALU1機能ユニットは、2つまでの推論ROPを保持する2エントリ待合わせステーション845Rを含む。すべてのX86算術および論理計算は、この機能ユニットまたは他方の算術論理装置ALU0に渡る。ALU0およびALU1は、1サイクルにつき2つまでの整数結果演算を計算することを可能にする。

【0171】特殊レジスタ機能ユニット850は、X86レジスタファイル855の外にある内部制御、ステータスおよびマッピング状態を扱うための特殊ブロックである。本発明の一実施例では、特殊レジスタ機能ユニット850は、ROPが特殊レジスタ機能ユニット850に投入されるときに未処理である推論状態がないので、待合わせステーションを持たない。特殊レジスタブロック850は、その構造および機能の点で、上述の特殊レジスタブロック512と類似している。

【0172】ロード/ストア機能ユニット860および浮動小数点機能ユニット865は、デコード805のROP発行ウィンドウ820に結合される。ロード/ストア機能ユニット860は、複数エントリ待合わせステーション860Rを含む。浮動小数点機能ユニット865は2つの待合わせステーション865Rを含む。データキャッシュ870が、データのストアおよびそのための検索を与えるために、ロード/ストア機能ユニット860に結合される。浮動小数点機能ユニット865は、41ビット整数/浮動小数点演算混在バス875および結果バス880に連結される。より詳細には、オペランドバス875は、41ビット幅を示す8つの読出オペランドバスを含む。結果バス880は、41ビット幅を示す5つの結果バスを含む。浮動小数点ユニットの整数/浮動小数点混在オペランドおよび結果バスへの連結によ

て、推論整数および浮動小数点ROPの両方のために、1つのレジスタファイル855および1つのリオーダーバッファ885を用いることが可能になる。2つのROPは80ビット拡張精度演算を形成し、これは浮動小数点待合わせステーション865Rから浮動小数点機能865内の80ビット浮動小数点コアに入力される。

【0173】浮動小数点機能ユニット865の80ビット浮動小数点コアは、浮動小数点加算器、浮動小数点乗算器、および浮動小数点除算/平方根機能ユニットを含む。浮動小数点ユニット865内の浮動小数点加算器機能ユニットは、2サイクルの待ち時間を示す。浮動小数点加算器は、80ビットの拡張結果を計算し、これが伝送される。浮動小数点乗算器は、拡張精度演算のために6サイクルの待ち時間を示す。32X32乗算器が、単精度乗算演算のために用いられる。浮動小数点機能ユニット865内の32X32乗算器は、拡張精度を必要とする64ビット仮数演算のためにマルチサイクル化される。浮動小数点除算/平方根機能ユニットは、64ビット仮数を2ビット/クロックで計算するために基数-4対話型除算を用いる。

【0174】A/Bオペランドバスのバス幅が41ビットであるこの実施例では、基数ユニットに送ばれるA/Bオペランドバスに関して、32ビットがオペランド専用であり、残りの9ビットが制御情報専用であることが認められる。A/Bオペランドバスのバス幅が41ビットではなく、32ビットまたは他のサイズである、本発明の他の実施例も企図されることに注目されたい。このような32ビットオペランドバス幅の構成では、オペランドバスから分離される制御ラインが、制御情報の伝送のために用いられる。

【0175】ロードストア機能ユニット860は、4エントリ待合わせステーション860Rを含む。ロードストア機能ユニット860は、2つのロードまたはストア動作が1サイクルについて投入されることが可能にする。ロードストアセクションはまた、線形アドレスを計算し、メモリのリクエストされたセグメントへのアクセス権をチェックする。データキャッシュ870内のヒット/ミスのチェックに関し、ロードまたはストア動作の待ち時間は1サイクルである。2つまでのロード動作が、同時にデータキャッシュ870にアクセスし、その動作の結果バス880に送ることができる。ロードストアセクション860は、整数および浮動小数点ロードおよびストア動作の両方を扱う。

【0176】図10および11に示されるように、マイクロプロセッサ800は、リオーダーバッファ885に結合されるレジスタファイル855を含む。レジスタファイル855およびリオーダーバッファ885の両方が、オペランド振分回路890を介してオペランドバス875に結合される。レジスタファイル855、リオーダーバッファ885およびオペランド振分回路890は協調し

て、オペランドを機能ユニットに与える。結果が機能ユニットから得られると、これらの結果はリオーダバッファ885に送られ、その中のエントリとしてストアされる。

【0177】より詳細には、レジスタファイル855およびリオーダバッファ885は、プログラム実行の間のオペランドのためのストアを与える。レジスタファイル855は、整数および浮動小数点命令の両方のためのマッピングされたX86レジスタを含む。レジスタファイルは、中間計算を保持するための、ならびに整数および浮動小数点の一時レジスタを含む。本発明のこの特定の実施例では、レジスタファイル855内のすべてのレジスタは、8つの読出および4つの書込ラッチとして実現される。このように設けられた4つの書込ポートによって、1クロックについて2つまでのレジスタファイル行先が書込まれることを可能にする。これは、1ポートについて1つの整数値であるか、またはレジスタファイルに浮動小数点結果が書込まれている場合には、1ポートにつき浮動小数点値の半分であってもよい。8つの読出ポートによって、2つのソース読出動作を伴う4つのROPの各々が、1クロックサイクルについて投入される可能性がある。

【0178】リオーダバッファ885は、16までの推論ROPのキューを保持する、16エントリ環状FIFOとして構成される。リオーダバッファ885はしたがって、16のエントリを割当てることができ、その各々が整数結果または浮動小数点結果の半分を含むことができる。リオーダバッファ885は、1クロックサイクルにつき4つのROPを割当てることができ、1クロックサイクルにつき5つまでのROPを確立し、1クロックサイクルにつき4つまでのROPをレジスタファイル855に格納することができる。マイクロプロセッサ800の現在の推論状態は、必要に応じて後続の転送のためにリオーダバッファ885内に保持される。リオーダバッファ885はまた、各エントリについて各ROPの相対順序を示す状態を維持する。リオーダバッファ885はまた、割込またはトラップルーチンによる処理のためにミスしている分岐および例外をマークする。

【0179】リオーダバッファ885は、8つのオペランドでそれぞれ8つのオペランドバス875を駆動できる。リオーダバッファ885は、5つの結果バス880を介して1サイクルにつき5つまでの結果を受取ることができる。オペランドバスは8つの41ビット整数/浮動小数点共通バスであることが認められる。8つのオペランドバスは、デコーダ805のROP発行ウィンドウ820内の4つのROP発行位置に対応する。4つのROP発行位置の各々は、ソースAオペランドおよびソースBオペランドを有することができる。このように形成される4つのAおよびB読出オペランド対の各々は、ROP発行ウィンドウ820内の固定ROPおよびソース

読出位置専用である。

【0180】レジスタファイル855およびリオーダバッファ885は、読出オペランドバス875を駆動するマイクロプロセッサ800内の装置である。デコードされたROPに関して推論の行先がなければ、すなわちROPによってリクエストされたオペランドがリオーダバッファになければ、レジスタファイルがそのオペランドを供給する。しかしながら、推論の行先が存在すれば、すなわちデコードされたROPによってリクエストされたオペランドがリオーダバッファ内にあれば、そのオペランドのためのリオーダバッファ内の最も新しいエントリが、対応するレジスタの代わりに機能ユニットに送られる。このリオーダバッファ結果値は、これももしリオーダバッファ内に存在すれば推論結果であるか、または機能ユニット内でまだ完了されていない推論の行先に関するリオーダバッファタグでもあり得る。

【0181】5つの結果バス880は41ビットバスである。読出オペランドおよび結果バスは、すべての整数機能ユニットの入力および出力であることがわかる。これらの同じ読出オペランドおよび結果バスはまた、浮動小数点機能ユニット865の浮動小数点待合セステーション865Rの入力および出力である。浮動小数点待合セステーション865Rは、41ビットオペランドおよび結果バスを、必要であればその構成する専用機能ユニットに送る80ビット拡張精度バスに変換する。

【0182】マイクロプロセッサ800の整数および浮動小数点機能ユニットには、これらのユニットの待合セステーションを介してROPの局所バリエーションが与えられる。これらの機能ユニットのほとんどで、局所バリエーションは、FIFOとして構成される2エントリ待合セステーションの形をとる。このような待合セステーションの目的は、デコーダ805の発行論理が、機能ユニットに推論ROPを、このような推論ROPのソースオペランドが現在利用可能であるかどうかに関わらず、送ることを可能にすることである。本発明のこの実施例では、したがって、長い計算またはロードが完了するのを待つことなく、多数の推論ROP（16まで）が投入され得る。この態様で、はるかに高い命令レベルの並列性が与えられ、マイクロプロセッサ800は、そのピーク性能に近く動作することが可能になる。

【0183】待合セステーションの各エントリは、そのソースオペランドまたはタグと、各エントリに関連するオペコードおよび行先に関する情報を保持することができる。待合セステーションはまた、リオーダバッファが未処理であるとマークしたソースオペランド結果（リオーダバッファがオペランド自体ではなくオペランドタグを与えることによってそれについてマークしたオペランド）を、このような結果を持つ他の機能ユニットに直接送ることができる。本発明のこの特定の実施例では、機能ユニットの待合セステーションは、

典型的には1クロックサイクルにつき新しいエントリを1つ受入れ、1サイクルにつき1つの新しいエントリを機能ユニットに送ることができる。

【0184】これに対する例外は、その待合せステーションから1クロックサイクルにつき2つのエントリを受入れ、かつ円滑化することができるロード/ストアセクション860である。ロード/ストアセクション860はまた、4つのエントリのより深い待合せステーションDIFOを有する。

【0185】すべての待合せステーションのエントリは、例外が起こるようなことがあれば、1クロックサイクル以内に割当から外されることができる。分散誤予測が起こると、中間結果が機能ユニットから流し出され、リオーガバッファからの割当から外される。

【0186】マイクロプロセッサ800は、プリフェッチユニット830を介して命令キャッシュ810に、およびバスインタフェースユニット900に結合される内部アドレスデータバス895を含む。バスインタフェースユニット900は、主メモリまたは外部メモリ（図示せず）に結合され、そのためマイクロプロセッサ800には外部メモリアクセスが与えられる。IADバス895はまた、図10および11に示されるように、ロード/ストア機能ユニット860に結合される。

【0187】データキャッシュ870は、ロード/ストアユニット860に結合される。本発明のある特定の实施例では、データキャッシュ870は、8Kバイト、線形アドレス、2ウェイセットアソシアティブ、デュアルアクセスキャッシュである。アドレスおよびデータラインは、図示されるようにデータキャッシュ870をロード/ストア機能ユニット860に結合する。より具体的には、データキャッシュ870は、キャッシュ870とロード/ストアユニット860との間の2つの組のアドレスおよびデータ経路を含み、ロード/ストア機能ユニット860からの2つの同時アクセスを可能にする。これらの2つのアクセスは、16バイトデータキャッシュラインサイズに整列される、8ないし32ビットロードまたはストアアクセスであってよい。データキャッシュ870は、16バイトラインまたはブロックに構成される。この特定の实施例では、データキャッシュ870は線形にアドレスされるか、またはセグメントベースのアドレスからアクセスされ、ページテーブルベースの物理アドレスではない。データキャッシュ870は4つのバンクを含み、これらは、データキャッシュ内の1つのラインが4つのバンクの各々における4つのバイトを有するように構成される。したがって、2つのアクセスのビット[3:2]の線形アドレスが同じでないかぎり、2つのアクセスは同時にキャッシュ870内のデータレイアウトにアクセスすることができる。

【0188】データキャッシュ870は、2ウェイアソシアティブである。これは、クロックの相PH1におい

て2つの線形アドレスをとり、その4つのバンクにアクセスする。その結果としてのロード動作は、後続のクロック相PH2で完了し、結果バスのうちの1つを駆動することができる。機能ユニットによる結果バスのリクエストは、結果をライトバックしようとする他の機能ユニットからのリクエストと調停される。

【0189】命令キャッシュ810およびデータキャッシュ870は、それぞれの命令キャッシュ線形タグアレイおよびデータキャッシュ線形タグアレイを含み、これらのキャッシュにストアされたデータエントリおよび命令のアドレスに対応する。図10および11に示されるように、マイクロプロセッサ800はまた、命令キャッシュ810およびデータキャッシュ870内のそれぞれ命令およびデータの物理アドレスを追跡するためにIADバス895に結合される物理タグI/Dブロック910を含む。より具体的には、物理タグI/Dブロック910は、これらのキャッシュの物理アドレスを維持する物理命令/データタグアレイを含む。ブロック910の物理命令タグアレイは、命令キャッシュ810の対応する線形命令タグアレイに関する構成を反映する。同様に、ブロック910内の物理データタグアレイの構成は、命令キャッシュ810内の対応する線形データタグアレイの構成を反映する。

【0190】物理I/Dタグは、命令キャッシュタグであるかデータキャッシュタグであるかに依存して、有効、共有、および変更ビットを有する。データキャッシュ物理タグがセットされた変更ビットを有する場合には、これはリクエストされたデータエレメントが、線形データキャッシュ内の等価な位置にあることを示す。マイクロプロセッサ800は外部メモリへのバックオフサイクルを開始し、リクエストされた変更ブロックを、リクエストしている装置がそれを後で見ることができるメモリに書き込む。

【0191】高速変換バッファ（TLB915）が、図示のようにIADバス895と物理タグI/Dブロック910との間に結合される。TLB915は、128の線形-物理変換アドレスおよび128までの4Kバイトページのためのページ権をストアする。この高速変換バッファアレイは、ランダムな置換を有する4ウェイセットアソシアティブ構造として構成される。TLB915は、X86アーキテクチャのために規定される線形-物理アドレス変換機構を扱う。この機構は、最も最近の線形-物理アドレス変換のキャッシュを用いて、有効な変換のために外部ページテーブルを探すのを防ぐ。

【0192】バスインタフェースユニット900は、IADバス895をメモリ等の外部装置にインタフェースさせる。IADバス895は、マイクロプロセッサ800の様々な構成要素を接続するのに用いられるグローバル64ビット共有アドレス/データ/制御バスである。

IADバス895は、キャッシュブロックリフィル、ライトアウト変更ブロックのため、ならびに特殊レジスタユニット850、ロード/ストア機能ユニット860、データキャッシュ870、命令キャッシュ810、物理I/Oデータブロック910、高速交換バッファ915、およびバスインタフェースユニット900等の機能ブロックにデータおよび制御情報を渡すために用いられる。

【0193】V. 代替実施例の動作概説

CISCプログラムが実行されると、CISCプログラムの命令およびデータが、これらの命令およびデータをストアするのに用いられた何らかの記憶媒体から主メモリにロードされる。一旦、バスインタフェースユニット900に結合される主メモリにプログラムがロードされると、命令はプログラム順にデコード805に、機能ユニットによる発行および処理のためにフェッチされる。より具体的には、デコード805によって1度に4つの命令がデコードされる。命令は、主メモリからバスインタフェースユニット900に、IADバス895を介して、プリフェッチユニット830を通り、命令キャッシュ810に、そしてデコード805に流れる。命令キャッシュ810は、デコード805によってデコードされて発行されるべき命令の保管場所として機能する。命令キャッシュ810は、分岐予測ユニット835と関連して動作し、デコード805に、推論的に実行されるべき次の予測された命令ブロックである、4命令幅の命令ブロックを与える。

【0194】より具体的には、命令キャッシュ810は、主メモリからバスインタフェースユニット900を介してフェッチされた命令ブロックを含む、ICSTOREと示されるストアアレイを含む。ICACHE810は、16バイトラインまたはブロックに構成される、16Kバイト実効線形アドレス命令キャッシュである。各キャッシュラインまたはブロックは、16のX86バイトを含む。各ラインまたはブロックはまた、各バイトについて5ビットプリデコード状態を含む。ICACHE810は、命令デコード805に次に予測されたX86命令バイトをフェッチする役目を果たす。

【0195】ICACHE810は、FETCHPC (FPC) と示される推論プログラムカウンタを維持する。この推論プログラムカウンタFETCHPCは、キャッシュ情報を維持する以下の3つの別個のランダムアクセスメモリ (RAM) アレイにアクセスするために用いられる。より詳細には、キャッシュ情報を含む3つの上述のRAMアレイは、1) ストアアレイICSTORE内の対応するブロックに関するバイト有効ビットおよび線形タグを維持するアレイであるICTAGVを含む。キャッシュ内の各エンタリは、16バイト有効ビットおよび20ビット線形タグを含む。この特定の実施例では、256のタグが用いられる。2) アレイICNXTBLKは、ストアアレイICSTORE内の対応する

ブロックに関する分岐予測情報を維持する。ICNXTBLKアレイは、各々が16Kバイト実効X86命令に対応する、256エンタリの4つの組に構成される。この次ブロックアレイ内の各エンタリは、シーケンシャルビット、最後に予測されたバイトおよびサクセッサインデックスから構成される。3) ICSTOREアレイは、X86命令バイトと5ビットのプリデコード状態を含む。プリデコード状態は、各バイトと関連し、特定のバイトがマッピングされるROPの数を示す。このプリデコード情報は、命令のデコードを、コードらがデコード805に与えられると連める。バイトキューまたはICBYTEQ815は、プリフェッチユニット830によってICACHE810に与えられる命令プリフェッチストリーム現在の推論状態を与える。ICACHE810として用いることができる命令キャッシュに関するより多くの情報は、同時係属中で本譲受人に譲渡された、「可変バイト長命令に特に適した推論命令キューおよびそのための方法」と題する米国特許連続出願番号第145,902号に記載され、その開示がここに引用によって援用される。

【0196】デコード805 (IDECODE) は、マイクロプロセッサ800内の命令デコードおよび発行動作を実行する。より具体的には、デコード805は、デコード1およびデコード2と称するマイクロプロセッサバイアラインの2つの段階を実行する。デコード1の初めの間、プリフェッチされ、予測実行されたバイトはバイトキューの指定された充填位置に送られる。これらのバイトは次に、バイトキュー815内の独立バイトと併合される。デコード2バイアラインステージにおいて、リオーガバッファのエンタリが、次のクロック相で投入される対応するROPに割当てられる。

【0197】デコード805は、バイトキュー815から未処理のX86命令バイトおよびプリデコード情報を取り入れ、これらをROP発行ユニット820内の4つのROP位置に割当てる。デコード805は、どの特定の機能ユニットに各ROPが伝送されるべきかを決定する。デコード805として用いることができるデコードの1つのより詳細な説明は、ディビッド・ビー・ウィットおよびマイケル・ディ・ゴダード (David B. Witt and Michael D. Goddard) による「スーパースカラ命令デコード」と題される米国特許出願連続番号第146,383号に記載され、その開示をここに引用によって援用する。ICACHEおよびデコード回路によって、マイクロプロセッサ800は、1クロックサイクルにつき4つのROPをデコードし、RISC類似データ経路に送ることができる。4つのROPは、機能ユニットに発行され、これが結果をリオーガバッファ885と、これらの結果を必要とする他の機能ユニットに送る。

【0198】レジスタファイル855およびリオーガバッファ885は、プログラムの流れにおける命令に推論

実行を与えようとともに動作する。マイクロプロセッサ800の整数コア、レジスタファイル855、リオーダーバッファ885のより詳細な説明を、図12を参照して行なう。マイクロプロセッサ800の整数コアは、整数コア920として示され、分岐予測ユニット835、ALU0、ALU1、および特殊レジスタ860を含む。

【0199】この特定の実施例において、レジスタファイル855は、12の32ビットレジスタ（整数レジスタ）と24の48ビットレジスタ（浮動小数点レジスタ）として構成される。これらのレジスタは、デコード805から分けて4つまでのROPに関してアクセスされる。デコード805によって与えられるレジスタファイルポインタは、どの特定のレジスタが特定のROPにおけるオペランド値としてリクエストされるか、およびアクセスのサイズを決定する。

【0200】レジスタファイル855はマイクロプロセッサ800のアーキテクチャ状態を含む一方で、リオーダーバッファ885はマイクロプロセッサ800の推論状態を含むことが認められる。レジスタファイル855のタイミングは、8つまでの並列読出ポインタで、デコード2パイプラインステージの相PH2でアクセスされるようにされる。これらの8つまでの読出ポインタの受取に依存して、レジスタファイル855は、このように選択されたオペランド値を、後続のクロックPH1相で対応するオペランドバスに送る。

【0201】リオーダーバッファ885をレジスタファイル855に結合する不能化バスが図12に示される。不能化バスは8ライン幅であり、リクエストされた読出値がリオーダーバッファ885内の推論エントリとして見いだされたことを示す8つの無効信号を含む。この例では、レジスタファイル855は無効にされ、リクエストされた読出オペランド値をオペランドバスに置くことを許されない。その代わりに、推論エントリがリオーダーバッファ885内に存在するので、リオーダーバッファ885は、リクエストされた実際のオペランド値か、またはその値に関するオペランドタグを与える。

【0202】リオーダーバッファ885は、この特定の実施例では16のエントリを含む、推論ROP結果値のキューとして動作する。図13により詳細に示されるように、リオーダーバッファ885は、キューの先頭および末尾に対応する2つのポインタ、すなわち先頭ポインタおよび末尾ポインタを含む。キューの割当の発行されるROPへのシフトは、これらのポインタを増分または減分することによって行われる。

【0203】リオーダーバッファ885に与えられる入力は、デコード805がそこで割当てようとするROPの数（1ブロックにつき4つまでのROP）、これらの4つのROPのためのソースオペランドポインタ値、およびそれぞれの先行ポインタ値を含む。リオーダーバッファ

885は次に、その現在の推論キューからこれらのエントリを割当てようとする。エントリスペースが発行されるROPのために利用可能であれば、エントリは末尾ポインタの後に割当てられる。

【0204】より具体的に、エントリがデコード805からリクエストされると、キューの先頭から次のエントリが割当てられる。特定のエントリの数は、デコード805からのその特定のROPに関する先行タグとなる。先行タグは、実行されるべき特定の命令とともに、対応するROP位置で機能ユニットに送られる。「4ROP先行タグ」と示される専用先行タグバスは、図12において、リオーダーバッファ885から整数コア920の機能ユニットへ、およびマイクロプロセッサ800の残りの機能ユニットへの出力として示される。機能ユニットはこのように、実行されるべき各ROPに関する先行情報を与えられ、そのため機能ユニットは効果的に結果バスを介してROPの結果がどこに送られるはずであるかを知る。

【0205】上述のことより、推論実行された結果値またはオペランドは、このような結果オペランドがもはや推論ではなくなるまで、リオーダーバッファ885内に一時的にストアされることが認められる。可能性のあるオペランド値のプールは、したがってリオーダーバッファによって与えられ、デコード805によって与えられてデコードされる後続のROPによって用いられる。

【0206】リオーダーバッファ885内にエントリが存在するときは、元のレジスタ番号（すなわちEAX）が、特定のROP結果に関して割当てられたリオーダーバッファエントリ内に保持される。図13は、先頭および末尾ポインタの間の推論状態にあるエントリを、これらのエントリ内の線の破線で示す。各リオーダーバッファエントリは、その元の先行レジスタ番号に参照し戻される。ROP発行ユニット820の4つのROP位置からの8つの読出ポインタ値のうちの何らかのものがエントリに関連する元のレジスタ番号に一致すると、そのエントリの結果データが、有効であれば転送され、またはそのエントリに関連する動作がまだ機能ユニットで未処理であればタグが転送される。

【0207】リオーダーバッファ885は、デコード805によって発行された新しいROPの正しい推論状態を、これらのROPをプログラム順に割当ててことで維持する。4つのROPはその現在の位置からリオーダーバッファキューの末尾位置まで、それらの読出オペランドのいずれかにおける一致を探しながらスキャンする。特定のリオーダーバッファエントリにおいて一致が起れば、レジスタファイル855内の対応する読出ポートが不能化される。実際の結果オペランドまたはオペランドタグが、適切な機能ユニットによって受取られるようにオペランドバスに与えられる。この構成によって、動作に影響を与えることなく、リオーダーバッファに存在する同

レジスタの複数の更新を可能にする。結果転送がこのように達成される。

【0208】図13に示されるように、リオーダーバッファ885は、リオーダーバッファキューまたはアレイ930にストアされた結果オペランドの用尽を制御するリタイア論理925を含む。キュー930に格納された結果オペランドがもはや推論でなければ、このような結果オペランドはリタイア論理制御のもとでレジスタファイル855に転送される。これを起こすためには、ROPの格納をインタフェースするリタイア論理、レジスタファイルへのライトバック、最後の4つのROPエントリの状態がスキャンされる。リタイア論理925は、割当てられたROPエントリのうちのいくつが有効な結果を現在有しているかを決定する。リタイア論理はまた、これらのROPエントリのうちのいくつが、ライトバックのないROPに対して、レジスタファイルへのライトバック結果を有するかをチェックする。さらに、リタイア論理は、発生される分岐、ストアおよびロードミスについてスキャンする。完全な命令が最後の4つのROP内に存在すれば、このようなROPはレジスタファイルに格納される。しかしながら、ROPエントリをスキャンする間に、特定のROPにおいて例外が起こったことを示す状態が見いだされれば、その後のすべてのROPが無効にされ、トラップベクトルフェッチリクエストが、ROPエントリに格納された例外状態情報により形成される。

【0209】さらに、リオーダーバッファ内のROPをスキャンしている際に分岐誤予測状態に出会えば、誤予測された経路にあるとしてマークされなかった最初のROPに出会うまで、EIPレジスタの更新またはライトバックなく、リタイア論理はこれらのROPエントリを無効にする。リタイア論理925(図13参照)内に含まれるEIPレジスタ(図示せず)は、推論的ではない実行された命令を推論で実行された命令から分ける、実行下のプログラムにおけるロールする分岐点を表わすリタイアPCまたはプログラムカウンタを保持する。EIPまたはリタイアPCは、リオーダーバッファ885からレジスタファイル855への結果オペランドの格納の際に、このように格納された命令がもはや推論的ではないことを反映するように、継続的に更新される。リオーダーバッファ885は推論状態を素早く追跡し、1クロックサイクルにつき複数のX86命令またはROPを用済とすることができると認められる。マイクロプロセッサ800は、例外条件または分岐誤予測に出会えば、迅速に無効とし、正しい命令ストリームをフェッチし始めることができる。

【0210】マイクロプロセッサ800の機能ユニットの一般的な構成を、ここで図14に例示的な目的のために示される一般化された機能ユニットブロック図を参照して説明する。オペコード、オペランド、オペラン

ド、および先行タグを含むROPは、図9の一般化された機能ユニットに発行されていることを思い起こされたい。図14の最も左の部分には、それに発行される命令から特定のAオペランドを選択する(1:4)Aオペランドマルチプレクサ932に4つのAオペランドバスが与えられることが認められる。同様の態様で、4つのBオペランドバスが、図14の機能ユニットが実行すべき対象の命令のための特定のBオペランドを選択する(1:4)Bオペランドマルチプレクサ935に結合される。4つの先行/オペコードバスが、この機能ユニットによって実行されている特定の命令のためのオペコードおよび先行タグを選択するマルチプレクサ940に結合される。

【0211】この機能ユニットは、マルチプレクサ940への「ファインドファーストFUNCTIONタイプ」入力でタイプバスをモニタする。より特定的には、機能ユニットは、その機能ユニットのタイプに一致する第1のROPを探し、1:4マルチプレクサ932、935、および940を可能化して、対応するオペランドおよびタグ情報を図14の機能ユニットの待合わせステーション1に送る。たとえば、実行ユニット945が算術論理装置1(ALU1)であり、かつマルチプレクサ940のTYPE入力で機能ユニットに与えられる命令タイプがADD命令であると仮定すると、発行された命令の先行タグ、オペコード、Aオペランド、およびBオペランドが、選択マルチプレクサ932、935および940を介して待合わせステーション1に送られる。

【0212】第2の待合わせステーション、すなわち待合わせステーション0が、待合わせステーション1と実行ユニット945との間に認められる。図14の機能ユニットは、このように2つの待合わせステーションを含むと言われ、または待合わせステーションは2つのエントリを保持することができる。この2エントリ待合わせステーションは、最も古いエントリが待合わせ0として示されるFIFOとして実現される。待合わせステーション0および1は、レジスタファイル855またはリオーダーバッファ885のいずれからオペランドバスを介して機能ユニットに何が送られたかに依存して、オペランドまたはオペランドタグのいずれかを保持することができる。

【0213】その結果を5つの結果バスに与える他の機能ユニットからの結果の転送を達成するために、機能ユニットは、A転送論理950およびB転送論理955を有する。転送論理950は、ソースAオペランドに一致するタグを求めて5つの結果バスをスキャンし、一致が起これば、A転送論理950は、対応する結果バスを待合わせステーション1のAデータ部分960に送る。実際のAオペランドではなくAオペランドタグがマルチプレクサ932を介して送られると、Aオペランドタグは、Aタグ965と示される位置にストアされることに

注目されたい。一致を求めて5つの結果バスにおいてスキャンされる結果タグと比較されるのは、Aタグ位置965にストアされたAオペランドタグである。同様の態様で、B転送論理955は、Bオペランドタグ位置970にストアされたBオペランドタグに一致する何らかの結果タグに関して5つの結果バスをスキャンする。一致が見いだされれば、対応する結果オペランドが結果バスから検索され、Bデータ位置975にストアされる。機能ユニットによって実行されているROPのオペコードおよび行先タグは、タグおよびオペコード位置980にストアされる。

【0214】ROP命令を実行するのに必要なすべての情報が機能ユニット内で集められれば、ROP命令は実行のために実行ユニット945に投入される。より具体的には、AオペランドおよびBオペランドが、待合ステーションによって実行ユニット945に送られる。その命令のためのオペコードおよび行先タグが、タグおよびオペコード位置980によって実行ユニット945に送られる。実行ユニットは命令を実行し、結果を発生する。実行ユニットは次に、アービトラーク（図示せず）に結果リクエスト信号を送ることによって結果バスへのアクセスに対して調停する。実行ユニット945が結果バスへのアクセスを許可されると、結果許可信号がアービトラークから実行ユニット945によって受取られる。実行ユニット945はその結果を指定された結果バスに置く。

【0215】この結果と同じタグを有する未処理のオペランドを有する他の機能ユニットに結果が転送される。結果はまた、実行されたROPの行先タグと関連するエントリでそこにストアするためにリオーダバッファ885にも与えられる。

【0216】実行において、機能ユニットは、命令が実行している間結果バスに対して調停する。より具体的には、機能ユニットに有効エントリが存在するとき、すなわち実行のために必要なすべてのオペランド、オペコード、および行先タグ情報が集められたとき、命令は実行ユニット945に投入され、実行ユニット945が実際にその命令を実行している間、機能ユニットは結果バスに対して調停する。各待合ステーションが行先タグとともに局所オペコードのための記憶機構を含むことが認められる。このタグは、結果バイブラインステージの間ROPが最終的にライトバックする位置を示す。この行先タグはまた、待合ステーション内の各エントリと保持され、そのFIFOを介して押される。

【0217】一般化された機能ユニットブロック図を図14に関して説明したが、実行ユニット945は、分岐予測ユニット835、ALU/Oシフト840、ALU1845、ロード/ストア860、浮動小数点ユニット865および特殊レジスタ850のいずれであってもよく、これらの特定の機能に関する適切な変更を加えても

よい。

【0218】特定の機能ユニットへの結果バスの許可が行なわれると、結果値が結果バスに送られ、待合ステーション内の対応するエントリがクリアされる。結果バスは、41ビットの結果と、行先タグと、通常、有効および例外等の状態指示情報を含む。マイクロプロセッサ800のバイブライン化された動作において、上述の機能ユニットの動作のタイミングは、実行段階の間起こる。クロック相PH1の間、オペランド、行先タグおよびオペコードは、ROPが発行され、待合ステーションに置かれる際に送られる。PH2クロック相の間、オペコードによって説明する動作は、すべてのオペランドの準備ができていなければ実行され、実行の間、機能ユニットは値をリオーダバッファに送返すために結果バスに対して調停する。

【0219】図15は、分岐機能ユニット835のより詳細な図である。分岐機能ユニット835は、ジャンプ命令ならびにより複雑なコールおよびリターンマイクロルーチンを含む非逐次のフェッチをすべて扱う。分岐ユニット835は、待合ステーション835Rと、予測発生分岐を追跡するための分岐FIFO980を含む。分岐機能ユニット835はまた、加算器985と、インクリメント990と、分岐予測コンパレータ995とを含み、これらはすべてPC相対分岐を扱うためのものである。

【0220】分岐機能ユニット835は、図15に示される分岐予測発生FIFO980を用いて推論分岐を制御する。より具体的には、命令キャッシュ810によって予測されたすべての非順次のフェッチは、分岐予測FIFO980に送られ、その分岐のPC（プログラムカウンタ）とともにそこでラッチされる。この情報は、ターゲットバス（XTARGET）およびデコードPCバスに送られて、分岐機能ユニットに渡る。対応する分岐が後にデコードされ、投入されると、予測情報、オフセット、および分岐のPCが、分岐機能ユニット835によって局所的に計算される。一致が起これば、この結果はターゲットPCと一致を示す状態とともに、リオーダバッファ885に正しく送り返される。分岐予測が起これば、正しいターゲットが、フェッチを始めるために命令キャッシュ810へ送られ、またミスしている予測された分岐に含まれる後続のROPをキャンセルするためにリオーダバッファ885へ送られる。この態様で、実行は正しいターゲットPCで再び始めることができ、このようにして実行プロセスの失敗を防ぐ。誤予測が起これば、分岐機能ユニット835は、新しいターゲットアドレスとインデックスとの両方を、予測情報があったブロックに送り、このアレイを更新する。このことは、マイクロプロセッサが、予測アレイ情報を更新しながら同時に、命令の新しく正しいストリームをフェッチし始めることを意味する。マイクロプロセッサはまた、新し

いブロックで予測情報にアクセスして、どのバイトが予測実行されるかを知ること注目されたい。ICNXTBLKアレイは、予測情報がその第2のポートを介して更新され得るように、デュアルポートである。誤予測が起るブロックからの予測情報は、逐次/非逐次、分岐位置、およびキャッシュアレイ内の予測実行される第1のバイトの位置等の情報である。

【0221】加算器985およびインクリメント990は、現在の分岐命令の現在のPC+オフセット、および逐次的にあれば次のPCの命令長+PCを局所的に計算する。これらの値は、コンパレータ995によって、局所分岐発生キュー(FIFO980)内の予測発生分岐と比較されて、このような分岐を予測する。

【0222】ここで、マイクロプロセッサ800の動作をそのパイプラインステージを通して示すタイミング図を説明する前に、マイクロプロセッサ800の主な内部バスを概略的に説明する。バスラインの先頭のXは、一方の相でダイナミックにチャージされ、他方の相で条件付でアサートされる偽バスを示す。マイクロプロセッサ800の内部バスは以下のものを含む。

【0223】FPC(31:0)-Ph1、ステディック、このフェッチPCバスは、命令キャッシュ810からバイトキュー815への推論命令プリフェッチのために用いられる。FPCバスは、図9ないし図5のマイクロプロセッサ800のFPCブロック207と実質的に同じ機能を果たす。ICACHE810内のFPCブロック813に結合される。

【0224】XTARGET(41:0)-Ph1、ダイナミック。このバスは、誤予測分岐および例外を指示しなおすためにターゲットPCを命令キャッシュおよび分岐予測ユニット(825/835)に送る。

【0225】XICBYTENB(12:0)-Ph1、ダイナミック。このバスは、現在リクエストされているプリフェッチX86命令および対応するアリデコード情報の命令キャッシュストアアレイICSTOREの出力である。この特定の実施例では、サイクルにつき全部で16のバイトが、次に予測実行されたバイトがバイトキューの第1のオープンバイト位置を満満するように整列されてアサートすることができ。

【0226】BYTEQn(7:0)-Ph1、ステディック。これは、命令キャッシュからプリフェッチされた予測実行X86命令バイトのキューを示す。この特定の実施例では、全部で16のバイトがデコード805のデコード経路に送られる。各バイトは、opcode位置、プリフィックスバイト、ならびに命令開始および終了位置に関しての命令キャッシュからのアリデコード情報を含む。各X86命令のROPサイズもまた、アリデコード情報に含まれる。各バイトに加えられるアリデコード情報は、バイトキュー内の1バイトについて全部で6ビットのストアを表わし、すなわち1有効ビット+5

つのアリデコードビットを表わす。

【0227】IAD(63:0)-Ph1、ダイナミック。IADバス895は、主なマイクロプロセッサ800のブロックのための一般的な相互接続バスである。これは、このようなブロック間と、外部メモリへの、およびそこからアドレス、データ、および制御転送のために用いられ、図10および11に示されるとおりである。

【0228】XRDnAB(40:0)-Ph1、ダイナミック。この符号は、機能ユニットに与えられる各ROPのためのソースオペランドAバスを表わし、オペランドバス875内に含まれる。より具体的には、これはROP0ないしROP3のための全部で4つの41ビットバスを含む。オペランドバスに含まれる対応するタグバスは、リオーダーバッファ885からの実際のオペランドデータの代わりに、リオーダーバッファ885からの転送されたタグが存在することを示す。

【0229】XRDnBB(40:0)-Ph1、ダイナミック。この符号は、機能ユニットに送られる各ROPのためのソースオペランドBバスを示す。このバス構造は、ROP0ないしROP3のための4つの41ビットバスを含み、8つの読出オペランドバス875内に含まれる。対応するタグバスは、リオーダーバッファ885からの実際のオペランドデータの代わりに、転送されたオペランドタグがこのバスに存在することを示すことがやはり認められる。

【0230】XRESnB(40:0)-Ph1、ダイナミック。この符号は、8、16、32ビット整数、または80ビット拡張結果の1/2のための結果バス880を示す。対応するタグおよび状態バス882は、この結果バスでエントリを確立することがわかる。

【0231】マイクロプロセッサ800は、フェッチ、デコード1、デコード2、実行、結果/ROBおよび用尽/レジスタファイルの段階を含む6段階パイプラインを含む。明瞭にするために、デコードステージは図16においてデコード1およびデコード2に分割されている。図16は、逐次的な実行が行なわれているときのマイクロプロセッサパイプラインを示す。連続するパイプライン段階は、図16の縦方向の列で表わされる。マイクロプロセッサ800において選択された信号は、パイプラインの種々の段階で現れることを横方向の列で表わす。

【0232】図16の逐次実行パイプライン図は、以下の選択された信号を表わす。「Ph1」は、システムクロック信号の前縁を表わす。システムクロック信号は、Ph1およびPh2成分の両方を含む。

【0233】「FPC(31:0)」は、バイトキュー815からのフェッチPCバスを表わす。

【0234】「ICBYTENB(12:0)」は、バイトキュー815に結合される命令キャッシュ810の

ICSTOREアレイからのICBYTEバスである。

【0235】「BYTE Qn (7:0)」は、バイトキューバスである。「ROPmux (3:0)」は、命令ブロックおよびリコード情報がデコーダに与えられていることを示すデコーダ信号である。

【0236】「Source A/B pointers」は、デコーダ805によってリオーダーバッファ815に与えられるAおよびBオペランドのための読出/書込ポインタである。図10および11には明確に図示されないが、ソースポインタは、デコードブロックからレジスタファイルおよびリオーダーバッファの両方への入力であるレジスタファイル値である。

【0237】「REG/ROB access」は、機能ユニットへの伝送のためにオペランド値を得るためのレジスタファイルおよびリオーダーバッファへのアクセスを示す。

【0238】「Issue ROPs/dest tags」は、デコーダ805による機能ユニットへのROPおよび先行タグの投入を示す。

【0239】「A/B read oper buses」は、機能ユニットによる、そのためのAおよびBオペランドまたはタグを得るためのAおよびBオペランドバスの読出を示す。

【0240】「Punct unit exec」は、機能ユニットによる実行を示す。図16および図17において、符号a & b → c および c & d → e および e & g → h は、任意の演算を表わし、「ソース1オペランド、ソース2オペランド → 先行」の形である。より具体的には、示されるソースレジスタは、レジスタ、すなわち一時またはマッピングX86レジスタである。a & b → c の例では、「c」の値は先行を表わし、結果バスおよびリオーダーバッファから、予測実行ストリームの次の参照への局所的な転送を示す。

【0241】「Result Bus arb」は、結果をリオーダーバッファ、およびこの結果に対応するオペランドタグを保持しているためにその結果を必要とするかもしれない他の何らかの機能ユニットに伝送するために、結果バス880へのアクセスを調停している時間を示す。

【0242】「Result Bus forward」は、結果がある機能ユニットからこの結果を未処理のオペランドとして必要としている他の機能ユニットに転送している時間を示す。

【0243】「ROB write result」は、機能ユニットからの結果がリオーダーバッファに書込まれている時間を示す。

【0244】「ROB tag forward」は、リオーダーバッファが機能ユニットに、現在まだ結果が出ていないオペランドの代わりにオペランドタグを転送している時間を示す。

【0245】「REG write/retire」は、結果がリオーダーバッファのFIFOキューからレジスタファイルに格納されている時間を示す。

【0246】「EIP (31:0)」はリタイアPC値を示す。割込リターンは遅延分岐を持たないので、マイクロプロセッサは、わずかに一つのPCで割込リターンの際に再始動できる。リタイアPC値またはEIPは、リオーダーバッファ885のリタイア論理925内に含まれる。EIPは、マイクロプロセッサ500に関して既に説明したリタイアPCと類似している。リタイア論理925は、マイクロプロセッサ500のリタイア論理242に類似した機能を果たす。

【0247】図16のタイミング図は、X86バイトの逐次的ストリームを実行しているマイクロプロセッサ800を示す。この例では、予測実行経路が実際に実行われ、また命令キャッシュから直接利用可能である。

【0248】命令処理の第1の段階は、命令フェッチである。図示のとおり、このクロックサイクルは命令キャッシュの動作を行なうのに費やされる。命令キャッシュ810は、クロックサイクルのPh1の間に新しいフェッチPC (FPC) を形成し、第2のクロックサイクルにおいて命令キャッシュのキャッシュアレイにアクセスする。フェッチPCプログラムカウンタ (タイミング図ではFPC (31:0) として示される) は、ストアアレイと並列して線形命令キャッシュのタグアレイにアクセスする。フェッチのクロック相Ph2の遅い時点で、線形タグがフェッチPC線形アドレスに一致するかどうかの決定がなされる。一致が起これば、予測実行されるバイトはバイトキュー815に転送される。

【0249】命令キャッシュ内のタグおよびストアアレイにアクセスするのに加えて、フェッチPCはまたブロック予測アレイICNXTBLKにアクセスする。このブロック予測アレイは、どのX86バイトが予測実行されるかを識別し、次の予測実行されるブロックが逐次的であるか非逐次的であるかを識別する。Ph2でアクセスされるこの情報は、現在フェッチされているブロックのどのバイトがバイトキュー815に有効バイトとして送られるかを決定する。

【0250】バイトキュー815は、前にフェッチされているが機能ユニットにまだ投入されておらずそこにストアされたX86バイトを現在有しているかもしれない。この場合には、バイト充満位置が命令キャッシュ810に示されて、第1の予測バイトをこの量だけシフトして、より古いX86バイトの後ろに充満する。

【0251】フェッチのクロック相Ph2で分岐予測情報が短くなるので、プリフェッチユニット830によってプリフェッチされるべき次のブロックは逐次的であっても非逐次的であってもよい、というのはどちらの場合にも、キャッシュアレイに再びアクセスするのに1クロックサイクルあるからである。したがって、分岐予測アレイによって、ブロック外に分岐が、次の逐次的ブロックにアクセスするのと同じ相対的性能を有することができ、性能の向上を与える。

【0252】デコード1/デコード2パイプライン段階を次に説明する。デコード1の初期に、プリフェッチされ、予測実行されたバイトが、指定された充満位置でバイトキュー815に送られる。これは図16のタイミング図にICBYTENB(12:0)として示され、デコード1のPh1でアサートする。これらのバイトは、バイトキュー内の何らかの未処理のバイトと併合される。バイトキューはアリデコード状態の5つのビットと、未処理のX86バイトとを含み、命令の境界がどこにあるかを示す。バイトキューの先頭は、次に予測実行されたX86命令の初めにある。デコード1のクロック相Ph1の途中で、命令キャッシュからの次のバイトのストリームが、バイトキュー815内の既存のバイトと併合され、併合されたストリームがスキャンのためにデコーダ805に与えられる。デコーダ805は、各命令がとるROPの数、および対応するROP投入位置D0、D1、D2、およびD3とオペコードの整列を可能にするようにオペコードの位置を決定し、ここでD0にあるROPが投入すべき次のROPである。デコーダ805は、バイトキュー815内の各X86命令のアログラムカウンタPCのコピーを、命令の境界間のバイト数をカウントするか、または命令キャッシュ内の分岐を検出して、その位置からフェッチされた第1のX86バイトにターゲットPC値を付けることによって維持する。

【0253】オペコードおよびROP位置付け情報、ならびにバイトキュー815にストアされた即値フィールドを用いることで、デコーダ805はデコード1のクロック相Ph2およびデコード2のクロック相Ph1の間に以下の情報をスタティックに決定する。すなわち、

1) 機能ユニット行先、2) ソースA/Bおよび行先オペランドポインタ値、3) ソースおよび行先動作のサイズ、および4) もしあれば、即値アドレスおよびデータ値である。デコード2のクロック相Ph1の終わりに、すべてのレジスタ読出および書込ポインタが解決され、動作が決定される。これは図16のタイミング図でソースA/Bポインタ値のアサートによって示される。

【0254】図16のタイミング図に示されるデコード2パイプライン段階において、リオーダバッファエントリは、次のクロック相で投入され得る対応するROPに割当てられる。したがって、4つまでの付加的なROPが、デコード2のPh1クロック相の間に16エントリリオーダバッファ885内のエントリを割当てられる。デコード2のPh2クロック相の間、割当てられたすべてのROPに関するソース読出ポインタが、リオーダバッファに含まれる推論ROPのキューにアクセスしながら、同時にレジスタファイルから読出される。レジスタファイルおよびリオーダバッファレイの両方のこの同時アクセスによって、マイクロプロセッサ800は、実際のレジスタファイル値を用いるか、またはリオーダバッファからオペランドもしくはオペランドタグを転送す

るかを後で選択することができる。Ph1においてリオーダバッファ内の4つのROPエントリをまず割当て、次にPh2でリオーダバッファをスキャンすることによって、まだ推論状態にあるすべての前のROPと発行されている現在のROPについて読出の従属性をマイクロプロセッサ800は同時に探ることができる。これは、図16のタイミング図に、REGF/ROBアクセスおよびタグのチェックによって示される。

【0255】実行パイプライン段階において、ROPは、専用オペコードバスおよび読出オペランドバスによって機能ユニットに投入される。専用オペコードバスは、ROPのオペコードを機能ユニットに送り、一方、読出オペランドバスはオペランドまたはオペランドタグをこのような機能ユニットに伝送する。オペランドバスがオペランドを機能ユニットに送っている間の時間は、図16のタイミング図では符号“A/B read operand buses”によって示される。

【0256】実行パイプライン段階のPh1クロック相の後半で、機能ユニットはこのような機能ユニットにどのROPが投入されたか、およびこのような機能ユニット内の局所待合わせステーションから何らかの未処理のROPの投入準備ができていられるかを判断する。待合わせステーションに含まれる最も古い命令が最初の実行されることが確実になるように、機能ユニットの待合わせステーションでPIFOが維持することに注目されたい。

【0257】命令が機能ユニット内で実行準備ができていられる場合には、実行パイプライン段階のPh1の近くにこのような実行を始め、この段階のPh2にわたってスタティックに続く。Ph2の終わりに、機能ユニットは、図16の結果バスROB信号によって示されるように5つの結果バスのうちの1つに対して調停する。言い換えれば、結果バス調停信号がこの時間の間にアサートされる。機能ユニットが結果バスへのアクセスを許可されると、これは後続のPh1で割当てられた結果バスを駆動する。

【0258】図16のタイミング図で示される結果パイプライン段階は、結果がある機能ユニットからこのような結果を必要としている別のものへ転送することを示す。結果パイプライン段階のクロック相Ph1において、推論ROPの位置は、行先結果および何らかの状態を伴ってリオーダバッファに書込まれる。リオーダバッファ内のこのエントリは、割当てられたとともに有効であるという指示を与えられる。一旦割当てられたエントリがこのような確立されると、リオーダバッファは、リクエストされた読出アクセスの受取の際に、オペランドタグではなくオペランドデータを直接転送することができる。結果パイプライン段階のクロック相Ph2において、新しく割当てられたタグが、そのソースオペランドの1つとしてこれを要求する後続のROPによって抽出

され得る。これは、図16のタイミング図において、「ROB tag forward」を介してソースA/Bオペランドバスへ結果Cの直接転送として示される。

【0259】用尽パイプライン段階は、図16のタイミング図のパイプラインの最終段階である。この段階は、EIPレジスタの形で真のプログラムカウンタ(リタイアPC)が維持され、バス指示EIP(31:0)によって示されるように更新される段階である。図16に示されるように、EIP(31:0)のタイミング図は、リオーダーバッファからレジスタファイルへの命令の格納の際に、新しいPC(またはリタイアPC)が発生されることを示す。リオーダーバッファからレジスタファイルへの結果の格納の実際の動作は、図16の「ROB write/retire」と符号を付される信号によって示される。図16において、用尽パイプライン段階のクロック相Ph1において、動作の結果はレジスタファイルに書込まれ、EIPレジスタはこの命令がもう実行されたことを反映するように更新される。リオーダーバッファ内の対応するエントリは、値がリオーダーバッファからレジスタファイルへと書込まれるのと同じクロック相Ph1において割当から外される。リオーダーバッファ内のこのエントリが割当から外されたので、レジスタCへの後続の参照は、リオーダーバッファからの推論読出ではなく、レジスタファイルからの読出となる。この態様で、マイクロプロセッサのアーキテクチャ状態が真に反映される。

【0260】図17は、分岐誤予測の際のプロセッサ800のタイミング図である。図17のタイミング図は、以下を除いては図16のタイミング図と同じ信号タイプを示す。

【0261】BRN_MISP信号は、分岐誤予測が起こったことを示す。XTARGET(31:0)信号は、予測されたターゲット分岐命令が分岐ユニット835に送られることを示す。

【0262】図17のタイミング図は、分岐誤予測および回復の間のマイクロプロセッサ800のパイプラインの段階を示す。このタイミング図は、第1のサイクルが分岐の実行サイクルであり、かつ後続のサイクルが予測の訂正および新しい命令ストリームのフェッチに関与すると仮定する。この特定の実施例において、誤予測された分岐命令の実行の完了から正しい経路の実行の開始まで3サイクルの遅延が存在することが認められる。

【0263】図17に示されるパイプラインのフェッチ段階は、XTARGET(31:0)バスが、命令キャッシュ810に予測されたターゲットに関しての情報を与えるために、分岐機能ユニット835から命令キャッシュ810に駆動されることを除いては、図16の通常のフェッチ段階に類似している。分岐機能ユニットは、分岐誤予測が実際に起こったことを判断する。マイクロプロセッサ800のブロックであることが認められる。分岐機能ユニットはまた、正しいターゲットを計算す

る。このターゲットは、結果バス880を介して誤予測状態指示とともに結果がリオーダーバッファに戻されるのと同じときに送られる。結果バスはまた、真の分岐が起こった場合に分岐命令を用済とする際にEIPレジスタを更新するための正しいPC値を含む。XTARGETバスは、フェッチされたPCバスに駆動され、命令キャッシュアレイがアクセスされる。ヒットが起これば、バイトは前と同様にバイトキューに送られる。

【0264】誤予測が起これば、バイトキュー815内のすべてのバイトは、信号BRN_MISPのサートで、フェッチの第1の相において自動的にクリアされる。訂正された経路がフェッチされ、デコードされるまでは、さらなるROPはデコード805から発行されない。

【0265】誤予測の結果状態がリオーダーバッファにフェッチパイプライン段階のクロック相Ph1において戻されるとき、誤予測状態指示が誤予測の後のすべての推論ROPに送られ、そのためこれらはレジスタファイルまたはメモリに書込を許されない。これらの命令が次に用済とされるべきとき、リオーダーバッファ内のこれらのエントリは割当から外されて、さらなるROPが投入されることを可能にする。

【0266】分岐誤予測の間のデコード1パイプライン段階に関して、訂正された経路をデコードするための経路の残りは、命令キャッシュ810のICNXTBLKアレイにおける予測情報の更新を除いて、逐次的なフェッチの場合と同じである。分岐の正しい方向が、予測アレイICNXTBLKの分岐が誤予測されたその中のキャッシュブロックに書込まれる。

【0267】誤予測の間のパイプライン段階デコード2、実行、結果、用済は、図16で議論したのと実質的に同じである。

【0268】VI. 結論—スーパースカラ高性能特徴
マイクロプロセッサによって実行されるコードから実質的な並列性を引出すことで、本発明のマイクロプロセッサにおいて高性能が達成される。命令タグ付与、待合わせステーション、転送を伴う結果バスによって、オペランドハザードが無関係の命令の実行を妨げられることを防ぐ。マイクロプロセッサのリオーダーバッファ(ROB)は多数の利点を達成する。ROBは一種のレジスタ再指定を用いて、行先としての同じレジスタの異なる使用を区別し、そうでなければこれは並列性を損なってしまう恐れがある。リオーダーバッファにストアされたデータはマイクロプロセッサの予測実行状態を表わし、一方レジスタファイルにストアされたデータはマイクロプロセッサの現在の実行状態を表わす。さらに、リオーダーバッファは割込の際のプログラムの逐次的状態を守る。さらに、リオーダーバッファは、未解決の条件付分岐を越える実行を許可することによりさらなる並列性を可能にする。並列性はさらに、高いバンド幅の命令フェッチを与

えるオンボードの命令キャッシュ (ICACHE) によって、分岐の影響を最小にする分岐予測によって、そしてロードおよびストア動作に関する待ち時間を最小にするオンボードのデータキャッシュ (DCACHE) によってさらに促進される。

【0269】本発明のスーパーカラマイクロプロセッサは、いくつかの構成要素を共有することによってダイの空閑を効率的に利用して、性能を向上する。より具体的には、マイクロプロセッサの整数ユニットおよび浮動小数点ユニットは、共通の、共有データ処理バスにある。これらの機能ユニットは、同じデータ処理バスにやはり結合される複数の待合わせステーションを含む。整数および浮動小数点機能ユニットは、データ処理バス上の共通の分岐ユニットを共有する。さらに、整数および浮動小数点機能ユニットは、共通デコーダおよび共通ロード/ストアユニット 530 を共有する。内部アドレスデータ (IAD) バスは、本発明のマイクロプロセッサのいくつかの構成要素間での局所的通信を与える。

【0270】本発明のある好ましい特徴のみを、例示するために示したが、多くの変更および変形が起こるであろう。したがって、前掲の特許請求の範囲は本発明の真の精神に包含されるすべての変更および変形を含むと意図されることを理解されたい。

【図面の簡単な説明】

【図1】従来のスーパーカラマイクロプロセッサを示すブロック図である。

【図2】本発明の高性能スーパーカラマイクロプロセッサの一実施例の簡略化されたブロック図である。

【図3】本発明の高性能スーパーカラマイクロプロセッサの別の実施例の一部のより詳細なブロック図である。

【図4】本発明の高性能スーパーカラマイクロプロセッサの別の実施例の一部のより詳細なブロック図である。

【図5】本発明の高性能スーパーカラマイクロプロセッサの別の実施例の一部のより詳細なブロック図であ

る。

【図6】結果バスに対して調停している際に機能ユニットが受ける優先順位を表す図である。

【図7】本発明のマイクロプロセッサにおける内部アドレスデータバス調停構成のブロック図である。

【図8】図3ないし図5のマイクロプロセッサの、逐次処理の間のそのパイプラインの複数の段階を通してのタイミング図である。

【図9】図8のタイミング図と類似しているが、分岐誤予測および回復が起こる際のタイミング図である。

【図10】本発明のスーパーカラマイクロプロセッサの別の実施例のブロック図の一部である。

【図11】本発明のスーパーカラマイクロプロセッサの別の実施例のブロック図の一部である。

【図12】図10および図11のマイクロプロセッサのレジスタファイル、リオーダーバッファおよび整数コアのブロック図である。

【図13】図12のリオーダーバッファのより詳細なブロック図である。

【図14】図10および図11のマイクロプロセッサが用いる一般化された機能ユニットのブロック図である。

【図15】図10および図11のマイクロプロセッサが用いる分岐機能ユニットのブロック図である。

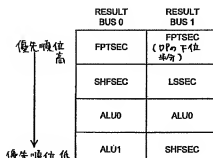
【図16】逐次実行の間の図10および図11のマイクロプロセッサの動作のタイミング図である。

【図17】分岐誤予測および回復の間の図10および図11のマイクロプロセッサの動作のタイミング図である。

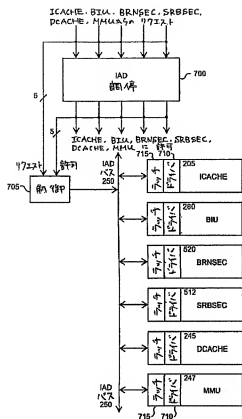
【符号の説明】

200 マイクロプロセッサ
205 命令キャッシュ
210 命令デコーダ
215 整数コア
225 浮動小数点コア
235 レジスタファイル
240 リオーダーバッファ

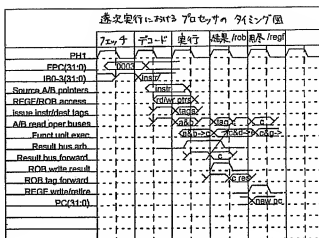
【図6】



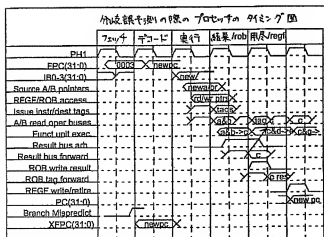
【図7】



【図8】

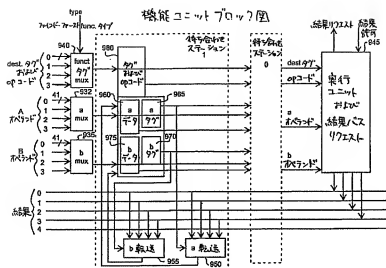


【図9】

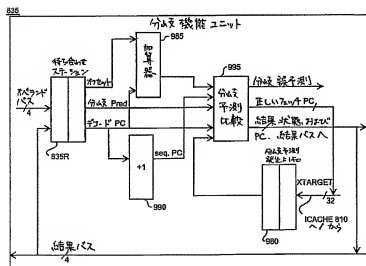


[illegible][illegible]

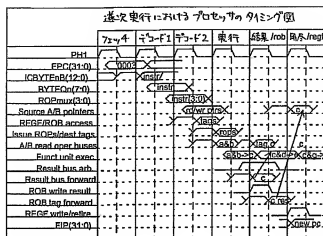
【図14】



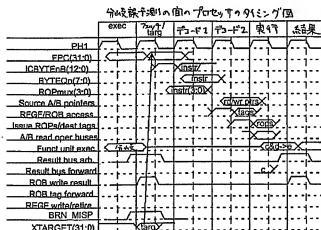
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 デイビッド・ビー・ウィット
アメリカ合衆国、78759 テキサス州、オ
ースティン、パスファインダー・ドライ
ブ、6318

(72)発明者 ウィリアム・エム・ジョンソン
アメリカ合衆国、78746 テキサス州、オ
ースティン、クリスティ・ドライブ、102